

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-164666

(43)Date of publication of application : 16.06.2000

(51)Int.CI.

H01L 21/66
G01R 31/28
G06F 11/22

(21)Application number : 2000-010130

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.03.1993

(72)Inventor : ISHIHARA KAZUKO

ISHIKAWA SEIJI
SHIMOSHA SADAO
NAKAZATO JUN
MATSUOKA KAZUHIKO
MIYAMOTO YOSHIYUKI
NARUSHIMA MASACHIKA
MIYAZAKI ISAO
SHIGYO YOSHIHARU
SATO MASAYUKI
OSHIMA TAKAYUKI
HASHIMOTO TAIZO

(30)Priority

Priority number : 04049307
05008130Priority date : 06.03.1992
21.01.1993

Priority country : JP

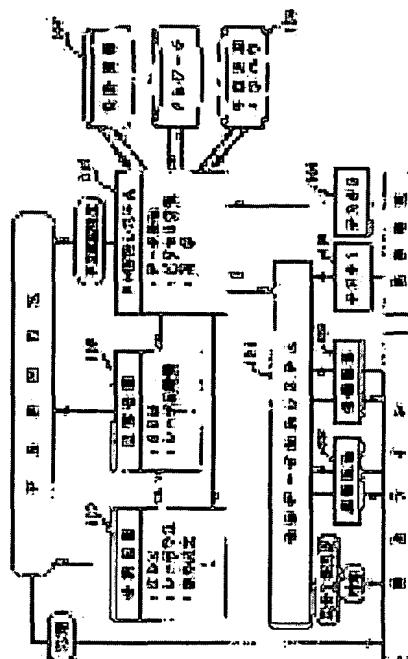
JP

(54) MANUFACTURE OF INSPECTION SYSTEM, ANALYZING UNIT, AND ELECTRONIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To cope with a higher integration of a semiconductor, to perform analysis with high measurement accuracy, to provide an easy-to-use user interface for easier analysis, and also efficiently perform compression of analyzed data.

SOLUTION: An FB analysis system 105, an inspection data analyzing system 101, and a tester are provided with an LSI design information 107 for data analysis provided as well. Its failure information, analysis data, or inspection conditions are displayed on a display device using multiple windows. At data compression of the analyzed data, storage mode is made different from each other by a mode where defective bits take place.



LEGAL STATUS

[Date of request for examination] 14.01.2000

[Date of sending the examiner's decision of rejection] 18.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Check system characterized by being constituted so that measurement conditions when it has the electrical property test equipment which inspects an inspected work and outputs the inspection result about the fail bit of this inspected work, and the analysis unit which processes the inspection result which this electrical property test equipment outputted, and displays the processing result and information and this fail bit concerning [this analysis unit] a fail bit occur may be displayed.

[Claim 2] Check system according to claim 1 characterized by the aforementioned analysis unit displaying the information about an inspected work.

[Claim 3] Check system according to claim 1 or 2 to which the aforementioned measurement conditions are characterized by having supply voltage, operating temperature, or any one condition of the access time.

[Claim 4] Check system given in either of the claims 1–3 to which the information about the aforementioned inspected work is characterized by having any one of form name or lot No., wafer No., or the sizes.

[Claim 5] The analysis unit which is an analysis unit which processes the inspection result about the fail bit of an inspected work, and displays the processing result, and is characterized by being constituted so that measurement conditions when the information and this fail bit about a fail bit occur may be displayed.

[Claim 6] The analysis unit according to claim 5 characterized by displaying the information about the aforementioned inspected work.

[Claim 7] The analysis unit according to claim 5 or 6 to which the aforementioned measurement conditions are characterized by having supply voltage, operating temperature, or any one condition of the access time.

[Claim 8] An analysis unit given in either of the claims 5–8 to which the information

about the aforementioned inspected work is characterized by having any one of form name or lot No., wafer No., or the sizes.

[Claim 9] The production line which processes a work, and the electrical property test equipment which inspects the work processed with this production line, and outputs the inspection result about the fail bit of this inspected work, It is the manufacture method of the electron device using the analysis unit which processes the inspection result which this electrical property test equipment outputted, and displays the processing result. The manufacture method of the electron device characterized by processing a work, displaying measurement conditions when information and this fail bit concerning [this analysis unit] a fail bit occur, and taking poor measures using the display result.

[Claim 10] The manufacture method of the electron device according to claim 9 characterized by the aforementioned analysis unit displaying the information about an inspected work.

[Claim 11] The manufacture method of an electron device according to claim 9 or 10 that the aforementioned measurement conditions are characterized by having supply voltage, operating temperature, or any one condition of the access time.

[Claim 12] The manufacture method of an electron device given in either of the claims 9–11 to which the information about the aforementioned inspected work is characterized by having any one of form name or lot No., wafer No., or the sizes.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the manufacture method of suitable check system, an analysis unit, and an electron device, in order to start failure analysis, especially to analyze the poor cause in wafer process process in the manufacturing technology of a semiconductor.

[0002]

[Description of the Prior Art] Conventionally, about the failure-analysis method and system in a manufacturing technology of a semiconductor, it is indicated by JP,62–169342,A, JP,61–243378,A, JP,59–228726,A, and JP,3–44054,A, for example.

[0003]

[Problem(s) to be Solved by the Invention] In the above, JP,59–228726,A, and

JP,3-44054,A, the technology of performing failure analysis of a semiconductor wafer is indicated using the computing system. However, the above-mentioned conventional technology is related with the technique of performing failure analysis of a semiconductor per chip. Therefore, when analyzing especially the defect of a semiconductor memory, it not only analyzes the product property of a chip, but it is not taken into consideration about it being necessary to analyze the good per storage element in a chip, and a defect.

[0004] So, in order to analyze the cause of a poor bit (it abbreviates to "FB" a fail bit and the following), the addresses of FB were collected from the product characteristic inspection equipment (henceforth a "circuit tester") of a chip, the place on the chip of the poor bit which corresponds with reference to the configuration method of a chip size and the memory on it etc. was deduced, and the operator was observing the chip under the microscope based on the acquired substance coordinate. For example, when an operator did microscope observation and a foreign matter was accepted in a poor generating part, the defect had concluded that he originated in the foreign matter.

[0005] Thus, the former had taken the great effort, in order that FB might analyze 1 bit at a time. So, this effort needed to be mitigated and it needed to respond to the request of wanting to perform failure analysis smoothly as a system per 1 bit. In this case, in the former, since the coordinate for measuring in a poor position was established per wafer, when knowing the position of the memory cell in a chip, there was also a trouble that it was large without error.

[0006] Since there is an inclination for the degree of integration of semiconductor memory to become large, in recently especially, this error serves as a big obstruction for failure analysis. Moreover, the above-mentioned conventional technology is not taken into consideration by the classification of a chip to corresponding smoothly to properties, such as arrangement of the memory mat in a chip and a size of a memory cell, being different. furthermore, the failure-analysis system of a semiconductor -- setting -- observation equipments, such as an electron microscope, and an infrared absorption -- a spectrum -- although analysis apparatus, such as a spectroscope, were used, when analyzing FB on memory using these, even if it was going to make the zero on a memory cell in agreement, there was a problem that a gap detailed for the property of each equipment arose

[0007] Next, JP,62-169342,A and JP,61-243378,A are related with compression of the data about the information on FB on the cell of the semiconductor memory which is an inspected object. However, the data compression method shown in JP,62-169342,A is not necessarily a thing suitable for the analysis of a mass memory

cell. In this compression method, although the reason makes the model which blocked the memory cell and was reduced to $1/n^2$, it is that the data of an amount huge in the case of the memory which only the compressibility of $1/10000$ is obtained but has the capacity of how many Mbit(s) at most are needed also, for example as $n=100$.

[0008] moreover -- as more reason -- the poor pattern in 1 block -- how -- be -- since it will be compressed into the same form, it is because there is un-arranging [that the detailed information of the bit position will be lost] Furthermore, about the data compression method indicated by JP,61-243378,A, although there is no loss of the above information, it is hard to be called efficient data compression method for being not necessarily suitable for a mass memory cell.

[0009] although efficiency when FB is continuing becomes good in order that the reason may hold the information on FB in a pair called the coordinate position of the starting point, and a terminal coordinate position, it is the same also to isolated FB -- in order to require the storage capacity of **, when there is much isolated FB, it is because a data compression rate will become bad as a result Thus, the thing with bad efficiency is because a data compression was not depended on the situation of the pattern which FB generates but was compressed uniformly. Therefore, a data compression is performed according to the generating pattern of FB, and the method of saving it is demanded.

[0010] Next, in JP,3-44054,A, the technology which displays an analysis result on the display of a computing system is indicated. However, the above-mentioned conventional technology is not taken into consideration about the user interface of a system about a means to consider failure-analysis result information more systematically than many viewpoints.

[0011] namely, the part in the display which shows analysis of the poor bit of the whole wafer, the display the distribution of the poor bit on an arbitrary chip is shown, and a chip -- the part in the display which expands and shows the distribution of the poor bit in a field, the display which show the distribution of the poor bit on an arbitrary shot, and a shot -- it is not taken into consideration about presenting use with failure-analysis result information, such as the display which expands and shows the distribution of the poor or [that these information is not the candidates for a display of display] -- or even if it was the case where it was displayed, the screen change etc. needed to be operated Therefore, it took to the user and very troublesome operation was needed in many cases.

[0012] Furthermore, about the user interface of a system, when displaying on display, the method of checking the size of a memory cell visually is not proposed with the

above-mentioned conventional technology. Furthermore, with the above-mentioned conventional technology, the test condition at the time of inspection is not taken into consideration by the important factor about a bird clapper for those who perform failure analysis, either.

[0013] Namely, the way those who perform failure analysis change various test conditions, and trace a poor cause is just usually going to be made. In this case, by having collated the test condition for inspected one by one by letter etc., efficiency will be very bad.

[0014] Next, as a failure-analysis technique of a semiconductor, a wafer is piled up and the technique of analyzing a poor cause is known. However, when a defect was in a photo mask at the time of exposure of a wafer, it was not taken into consideration about the means for studying a poor cause effectively, either.

[0015] Next, in JP,3-44054,A, using the computing system, the failure-analysis result of a semiconductor was processed and the technology which carries out edit processing is described. However, the above-mentioned conventional technology is not directed to the inspection method which should be performed the past inspection history and in the future.

[0016] Therefore, it needed to be worked of the former that those who perform failure analysis collate the inspection history for inspected one by one etc. Moreover, since the manufacturing process of a semiconductor is divided into many stages, it needs to form the inspection plan of at which process to recheck according to the result of inspection. Since this planning has various patterns, an expert also reaches to an extreme of difficulty.

[0017] this invention aims at offering the check system which can study a poor cause effectively, and an analysis unit. Moreover, it aims at studying a poor cause effectively and raising the yield of electronic parts.

[0018]

[Means for Solving the Problem] this invention is equipped with the electrical property test equipment which inspects an inspected work and outputs the inspection result about the fail bit of this inspected work in order to attain the above-mentioned purpose, and the analysis unit which processes the inspection result which this electrical property test equipment outputted, and displays the processing result, and it is constituted so that measurement conditions when information and this fail bit concerning [this analysis unit] a fail bit occur may be displayed. Moreover, the aforementioned analysis unit displays the information about an inspected work. Moreover, the aforementioned measurement conditions have supply voltage, operating

temperature, or any one condition of the access time. Moreover, the information about the aforementioned inspected work has any one of form name or lot No., wafer No., or the sizes. Moreover, it is the analysis unit which processes the inspection result about the fail bit of an inspected work, and displays the processing result, and it is constituted so that measurement conditions when the information and this fail bit about a fail bit occur may be displayed. Moreover, the information about the aforementioned inspected work is displayed. Moreover, the aforementioned measurement conditions have supply voltage, operating temperature, or any one condition of the access time. Moreover, the information about the aforementioned inspected work has any one of form name or lot No., wafer No., or the sizes. Moreover, the production line which processes a work and electrical property test equipment which inspects the work processed with this production line, and outputs the inspection result about the fail bit of this inspected work, It is the manufacture method of the electron device using the analysis unit which processes the inspection result which this electrical property test equipment outputted, and displays the processing result. Measurement conditions when information and this fail bit concerning [this analysis unit] a fail bit occur are displayed, and a work is processed, taking poor measures using the display result. Moreover, the aforementioned analysis unit displays the information about an inspected work. Moreover, the aforementioned measurement conditions have supply voltage, operating temperature, or any one condition of the access time. Moreover, the information about the aforementioned inspected work has any one of form name or lot No., wafer No., or the sizes.

[0019]

[Function] According to the above composition, since an inspection result and a test condition are simultaneously displayed on display, the effort for investigation is mitigated and it becomes easy to change and recheck a test condition.

[0020]

[Example] Hereafter, one example concerning this invention is explained using drawing 1 or drawing 29 .

[0021] [I] The fundamental concept of the failure-analysis system concerning this invention is first explained using drawing 1 . Drawing 1 is the fundamental concept view of the failure-analysis system concerning this invention.

[0022] The inspection data-analytic system 101 analyzes based on the data obtained from a dust particle inspection 102 and visual inspection 103 with a production line, and the data obtained from a circuit tester 1 (104) in the wafer final inspection.

[0023] Using the data and the LSI design information 107 which are acquired from a

circuit tester 2 (106) in the wafer final inspection, the FB analysis system 105 extracts a fault and the point inducing [poor] from the distribution configuration of FB, and presumes a poor cause with reference to the poor cause know-how information 108.

[0024] Moreover, observation equipment 109 observes the coordinate of the fault passed from FB analysis system, and an inducing [poor] point part, and specifies a poor cause and a poor process. An analysis apparatus 110 performs component analysis, such as a foreign matter detected with observation equipment 109, and specifies a poor cause and a poor process.

[0025] The chip and LSI design information on [II] next FB analysis system, and a semiconductor wafer (it is only called a "wafer" below) are explained with reference to drawing 2 or drawing 4. First, the FB analysis system 105 is explained using drawing 2. Drawing 2 is the conceptual diagram showing the detailed composition of FB analysis system.

[0026] The FB analysis system 105 has the LSI design information a201 which has an LSI design data (a form, array information), and the physical conversion 202 which uses a test data as physical data. Furthermore, it has the data compression means 203, the data control means 204, the pixel conversion means 205, the LSI design information b206, FB distribution feature-extraction means 207, a means 208 to presume a poor cause, and display 209. This FB analysis system 105 compresses physical data, and has the function saved in the FB database 111.

[0027] Moreover, the data saved through the data control means 204 if needed are searched and called. If operation is performed using a mouse 211, workability will improve. Next, pixel conversion 205 is performed and the position in a wafer of a poor bit or the position in a chip is displayed on display 209. this time -- FB distribution feature-extraction means 207 -- carrying out -- the poor cause know-how information 108 -- referring to -- presumption of a poor cause -- 208 is carried out Furthermore, when carrying out detailed analysis, the coordinate which carried out the feature extraction is passed to observation equipment 109 and an analysis apparatus 111. And from a circuit tester 2 (106), various information, such as a form, a date, Lot NO, Wafer NO, a bit address, good of a bit, and poor information, is transmitted to the FB analysis system 105.

[0028] Next, the situation of the chip on a semiconductor wafer (it is only called a "wafer" below) and the composition in the chip are shown using drawing 3 and drawing 4. Drawing 3 is drawing showing the situation of the chip arranged on the wafer.

[0029] It will be made in the rectangular plate-like chip arranged in all directions on

the semiconductor wafer which is a subject of examination. as (4 3) shows the position of the chip in a wafer to drawing 3 -- it can express like

[0030] Drawing 4 is drawing showing the composition in a chip. In the edge of a chip, the mark 401 which shows a chip Uchihara point is illustrated. Two or more external terminals 403 (bonding pad) are arranged by the amount of [of a chip] periphery.

[0031] In the chip center section, the memory mat which has 4-megabit large capacity is arranged. This memory mat is quadrisectioned by the 4th memory mat 407 from the 1st memory mat 404. And each of each quadrisectioned memory mat is constituted by the capacity of 1 megabit. Between the 1st memory mat 404 and the 2nd memory mat 405, the circumference circuit 402 containing a decoder circuit is arranged. Similarly, the circumference circuit 408 is arranged also between the 3rd memory mat 406 and the 4th memory mat 407.

[0032] Furthermore, in the 1st memory mat 404, the memory cell (it is only hereafter called "cell") is arranged on the grid, as shown in drawing 4 . From the left-hand side in drawing, the width and the positive direction Xa which goes to right-hand side, and length and the positive direction Y boil a cell, respectively, and it is arranged one by one. In the 2nd memory mat 405, it intervenes, the width and the opposite direction Xb which goes to left-hand side from the right-hand side in drawing, and length and the positive direction Y boil the circumference circuit 402, respectively, and the cell group is arranged one by one. Namely, in the 2nd memory mat 405, as for the cell group, system of coordinates are taken with the mirroring pattern of the 1st memory mat 404.

[0033] And the cell group is arranged one by one by the 4th memory mat 407 as well as [the 3rd memory mat 406 / and] the 1st memory mat 404 like the 2nd memory mat 405, respectively.

[0034] Now, the LSI design information 107 is explained here. Having added this LSI design information 107 to the system makes the nucleus of this invention. The information for performing the failure analysis of the position coordinate of the coordinate reference pattern for the LSI design information 107 determining the coordinate in the arrangement position of the memory mat mentioned above, wafer size besides size information, a chip size and memory cell size, the chip array information in a wafer, the number of memory mats in a chip, the number of memory cells in a memory mat, and a chip and the semiconductor of correction value and other a large number which produce with the property of each observation equipment and an analysis apparatus in measurement is included.

[0035] In the FB analysis system 105, FB is analyzed with reference to this LSI design information 107 at any time. The advantage of having given this LSI design information

107 is as the following.

[0036] As the first advantage, by displaying a wafer, a chip, etc. based on design information, a user can analyze under the actually based display and can study a poor factor easily.

[0037] Since it had the arrangement information in a memory chip and the zero could be taken in the memory chip to specification of FB as the second advantage, the accuracy of measurement has gone up. Since the coordinate like drawing 3 was taken with the conventional technology, the size of the slot between chips tended to become irregular and the error was large.

[0038] It is being able to build the failure-analysis system of the chip of classification which the flexibility of a system improves in order for what is necessary to be just to exchange the LSI design information 107 for every classification of each chip as the third advantage, and is more easily different.

[0039] Since the correction value when using observation equipment and an analysis apparatus for the LSI design information 107 is held as the fourth advantage, it is that improvement in the precision when using these equipments is expectable.

[0040] Since the correction value when using observation equipment and an analysis apparatus for the LSI design information 107 is held as the fourth advantage, it is that improvement in the precision when using these equipments is expectable.

[0041] The conversion of length information using the address information, the observation equipment, and the analysis apparatus of a cell is being able to change now easily and correctly by holding the size of each memory cell as LSI design information 107 as the fifth advantage.

[0042] By having added this LSI design information 107 to the system, the above-mentioned advantage was acquired and the availability as a system and flexibility improved.

[0043] Table 1 and 2 is used for [III] next drawing 5 , or the drawing 9 row, and the data-processing step especially the data compression method, and its restoration method of FB are explained in detail. First, the view of the data compression method concerning this example and how to have compressed data are explained using drawing 6 , Table 1, and Table 2.

[0044] Drawing 6 is drawing showing the various patterns of FB in a chip. Although it is common to have as 1-bit information as an in-house data, using a poor bit (FB) as 1 using a right bit as 0, in drawing 6 , the poor bit (FB) which poses a null and a problem in a right bit is displayed as 1.

[0045] Table 1 is a table showing how each pattern of drawing 6 is compressed.

[Table 1]

表 1

図6の例	呼び方	圧縮時のデータの持ち方
(a)	孤立点	座標 (x, y)
(b)	横ライン欠け	始点座標 (x, y), 橫長さ
(c)	縦ライン欠け	始点座標 (x, y), 縦長さ
(d)	横ペアビット欠け	始点座標 (x, y)
(e)	縦ペアビット欠け	始点座標 (x, y)
(f)	ブロック欠け	始点座標 (x, y), 終点座標 (x, y)

(注) 横ライン欠け, 縦ライン欠けの長さは 3 以上とする。

[0046] Table 2 is a table showing the number of bits required when it compresses according to each pattern of drawing 6.

[Table 2]

表 2

呼び方	必要なビット数[bit]	図6の場合
孤立点	$\lceil \log_2 m \rceil + \lceil \log_2 n \rceil$	6
横ライン欠け	$\lceil \log_2 m \rceil + \lceil \log_2 n \rceil + \lceil \log_2 w_1 \rceil$	9
縦ライン欠け	$\lceil \log_2 m \rceil + \lceil \log_2 n \rceil + \lceil \log_2 v_1 \rceil$	8
横ペアビット欠け	$\lceil \log_2 m \rceil + \lceil \log_2 n \rceil$	6
縦ペアビット欠け	$\lceil \log_2 m \rceil + \lceil \log_2 n \rceil$	6
ブロック欠け	$2 (\lceil \log_2 m \rceil + \lceil \log_2 n \rceil)$	12

(注) $\lceil \cdot \rceil$ は、小数点以下切上げを示す。

m は、縦方向のセル数

n は、横方向のセル数

w_1 は、セル数単位で表した横方向の長さ

v_1 は、セル数単位で表した縦方向の長さ

[0047] By this compressing method, as shown in drawing 6, it is characterized by making how performing compression for the pattern produced in a cell by dividing into six sorts differ, respectively. Table 1 shows how each pattern of drawing 6 is compressed. In addition, each pattern of drawing 6 shall be called depending on the

way of calling indicated in the 2nd column of Table 1.

[0048] Here, it is necessary to care about not having the information about a configuration pattern as how having data. Compressed data are because it is identifiable by taking means, such as making storing files differ etc. Improvement in a data compression rate can expect also at this point. Moreover, although the number of bits required for storing is as shown in Table 2, if FB which needs only the optimal storing bit according to each pattern and which should be sake [FB] especially compressed is large capacity, the effect of memory compaction will also become large a certain forge fire.

[0049] Here, the technique of compressing the data actually classified in this way is explained using drawing 7 and drawing 9. Drawing 7 is drawing showing the division method (diagonalization) of FB group. Drawing 8 is drawing showing how to have data of diagonalization. Drawing 9 is drawing showing the division method (vectorization) of FB group, and how to have data.

[0050] In order to compress into below briefly, it is the technique called diagonalization and vectorization and also explains that the six above-mentioned kinds of patterns can be covered. In this case, although compressibility will become bad a little compared with the time of compressing every six kinds in order to compress by two kinds, there is an advantage that an algorithm (program for realizing) becomes easy.

[0051] The method of calling diagonalization divides the lump (henceforth "FB group") of FB into some rectangles first, as shown in drawing 7. And FB data of each rectangle are compressed. as how to have data, it is shown in drawing 8 — as (x_1, y_1, x_2, y_2) — ** — it carries out and (x_1, y_1) , and (x_2, y_2) are taken as a rectangular diagonal coordinate Moreover, when rectangle division is carried out and it becomes a line chip and a pair bit chip, a head bit and a terminal point bit are used as a diagonal coordinate. When it becomes the isolated point, it considers as $= (x_1, y_1) (x_2, y_2)$.

[0052] Next, how to call vectorization is described. Some carry out line chip division of the FB group, and this method makes several k the data value of FB which constitutes the coordinate $(x y)$ and its line chip of a head bit of each line chip, as shown in drawing 9. That is, compressed data takes the form x , and (y, k) . What is necessary is just to have data as $(xy, 1)$, when it divides into a line chip and the isolated point arises.

[0053] Next, the algorithm of a data compression is shown using drawing 5 , drawing 10 , or drawing 13 . The algorithm of physical conversion is explained first. Physical conversion is transposing the information on the logical system of coordinates of drawing 4 to the information which arranged the memory cell unitary.

[0054] Drawing 5 is drawing showing the outline flow of physical conversion. First, data are read (Step 501). Next, the LSI design data of a corresponding form is called in (Step 502). Next, the design information of the memory constituted by the above-mentioned mirroring pattern is re(Step 503) arranged to the forward direction.

[0055] Next, the good of each bit and a defect are recorded in every one direction of Y from the bit at the lower left of drawing 4 (Step 504). It shifts in the direction of Y in 1 train reading ***** shelves and the one direction of X, and the good of each bit and a defect are similarly recorded in every one direction of Y. Processing will be ended if the good of all bits and a defect are recorded (Step 505). Next, after reading data, the flow to [whole] compression preservation, restoration, and a display is explained.

[0056] Drawing 10 is drawing showing the flow of the method of kicking by some compression method usage for every configuration of FB in a chip. As for the case of diagonalization, length, and a horizontal line chip, in the case of vectorization, length, and a horizontal pair bit chip, the case of the method, i.e., a block chip, of using some compression methods properly for every configuration of FB in a chip which described drawing 10 above makes the coordinate (x y) of a head bit into a data value in more detail, and, in the case of the isolated point, it is the flow chart of the method of making the coordinate (x y) of a bit a data value.

[0057] However, these flow charts are for the compression to one wafer and restoration, and a display. Therefore, what is necessary is just to repeat this flow, when carrying out about two or more wafers.

[0058] Below, an outline procedure until it uses properly and saves some compressing methods for every configuration in a chip using drawing 10 is explained.

[0059] First, the form of the data to treat is recognized (Step 1001). Next, it reads 8 bits of test datas at a time on memory (Step 1002). And in order to give a two-dimensional coordinate to data, a return code is put in every N bytes (Step 1003). However, N is the number of bits on a par with the longitudinal direction of a chip, and the position into which a RITAN code is put changes with forms.

[0060] Next, the shape recognition of FB in a chip is performed (Step 1004). And in a block chip, diagonalization and a line chip use the compressing method properly like vectorization for every configuration of (Step 1004) (Step 1005). Then, a data compression is performed (Step 1006). Next, it is confirmed whether the data compression was carried out about all the configurations in a chip (Step 1007).

[0061] If no compression of the data in a chip has ended, the loop of (Step 1008) will be repeated. Moreover, if compression has ended, the compressed data for one chip is saved at a hard disk (Step 1009). In addition, the created compressed data does not

need to dare give the parameter for distinguishing a configuration to compressed data, if a storing field is changed for every configuration in a chip.

[0062] Next, it is confirmed whether the data of all chips were saved (Step 1010). The loop of supposing the preservation about all chips has not finished (Step 1011) is repeated.

[0063] Next, using drawing 11, the compressing method is made to choose per chip and an outline procedure until it saves is explained. That is, it is the compressing method for choosing the optimal method of the vectorization which recognizes and mentioned the configuration above per chip, or diagonalization either.

[0064] Drawing 11 is drawing showing the flow of the method as which the compressing method is made to choose per chip. The form of the data treated to begin is recognized (Step 1101). Next, it reads 8 bits of test datas at a time on memory (Step 1102). And in order to give a two-dimensional coordinate to data, a return code is put in every N bytes (Step 1103). However, N is the number of bits on a par with the longitudinal direction of a chip, therefore the position into which a return code is put changes with forms.

[0065] Next, the shape recognition of FB in a chip is performed (Step 1104). Under the present circumstances, the number of each configurations is counted. Next, the one compressing method is chosen according to the situation of (Step 1104) (Step 1105). That is, in one chip, the total capacity of the line chip before compression chooses the technique of vectorization, when many [compared with other configurations], and the technique of diagonalization is chosen when there is much total capacity of the block chip before compression. Since in the case of the isolated point the form of preservation data is the same as (x, y) whichever it uses the technique, you may make which technique choose. The technique of reduction to diagonal form is made to choose in this example. And a data compression is performed (Step 1106).

[0066] Next, the compressed data for one chip is saved at a hard disk (Step 1107). Next, it is confirmed whether preservation of the data for one wafer finished (Step 1108). The loop of if data preservation of all chips is not settled yet (Step 1109) is repeated. You may transpose to the method as which the compression method is made to choose it for every wafer. Next, restoration and a display of compressed data are described using drawing 12. It lets the following data processing pass, and an operator can show circuit tester data on display, and can analyze the distribution of FB now.

[0067] Drawing 12 is drawing showing the reconstitution of data for one wafer, and the flow about a display. Especially as this example, the example which used CRT of the

480 pixel 640 pixels wide of **** is shown as display.

[0068] The compressed data for one wafer is called from a hard disk (Step 1201). Next, in order to carry out a high-speed screen display, the work called pixel conversion is done (Step 1202). And the coordinate searched for is displayed (Step 1203).

[0069] Below, it supplements about pixel conversion. This pixel conversion is performed only using compressed data. Depending on the specification of a wafer (by the case of a chip with the storage capacity of one mega, the length of a chip is 2048 bits and width is a 150 chip grade per 512 bits and 1 wafer), one memory cell may be unable to be displayed by 1 pixel by the relation of the resolution of CRT. Then, picture compression is carried out and the whole wafer is displayed. The processing at this time is pixel conversion.

[0070] Length of a chip is carried out, and when a m bits long and n bits wide chip gives a wafer indication of this processing, the reduced display of the width is carried out to $1/t$ 1-/s. Therefore, on CRT, a s bits long and t bits wide field is displayed by 1 pixel. Then, when at least 1 bit of FB(s) is contained in this field, this whole field is displayed as a FB field. What is necessary is to break the diagonal coordinate of compressed data by number-of-bits k per pixel, respectively, and just to search for the coordinate on CRT ($x_1 / y_1 [k \text{ and }]/k, x_2 / y_2 [k \text{ and }]/k$), if block chip data (x_1, y_1, x_2, y_2) are mentioned as an example as real processing.

[0071] Next, a compressive detailed algorithm is explained using drawing 13. This method was what divides the compressing method for every configuration of FB, and performs a data compression efficiently, as mentioned above. That is, it is the most efficient compression method that changed the method of preservation for six kinds of every patterns of FB. Here, the concrete compression algorithm for it will be shown.

[0072] Drawing 13 is drawing showing the detailed flow in the case of performing a data compression for every configuration of FB in a chip. Here, how to take a coordinate follows drawing 3. Therefore, let a zero be the bit of the lower left edge of drawing 4. Although this method makes the compressing method choose for every configuration of FB in a chip and performs a data compression efficiently, it may make the compressing method choose per a wafer unit and chip.

[0073] The data first obtained from the circuit tester are read, and a two-dimensional coordinate is given to all bits (Step 1301). And initial value 1 is given to Variables k, p, and r, and initial value 0 is given to Variable q (Step 1302). Next, the value (0 or 1) of a bit is read sequentially from the zero (0 0), and it continues (Step 1303) reading until the value of a bit is set to 0. It investigates whether all bits are 0 to the read bit (Step 1304).

[0074] If this condition is not satisfied, the coordinate of the bit whose value is 1 is set to A (i, j), and it investigates whether it is the bit A(i+k, j) = 1 (however, k= 1) on the right of the A (i, j) (Step 1305). If this condition is satisfied, the value of k is updated one time (Step 1306), and this operation will be repeated until the value of A (i+k, j) is set to 0. And it investigates whether it is k= 1 when the value of A (i+k, j) is set to 0 at (Step 1305) (Step 1307), and is [0075]. If this condition is satisfied, the value A(i, j+p) = 1 (however, p= 1) right above A (i, j) will be investigated (Step 1308). This operation is repeated until it will update the value of p one time (Step 1309) and will be set to A(i, j+p) = 0, if it is A(i, j+p) = 1. If it investigates whether it is p= 1 at the time of A(i, j+p) = 0 (Step 1310) and conditions are satisfied at (Step 1308), compressed data A (i, j) will be created as isolated-point data (Step 1311), and it is [0076]. This data is saved (Step 1312). And the value of the data of the compressed field is rewritten from 1 to 0 (Step 1313). If it becomes p!=2 at (Step 1314), compressed data A (i, j, p) is created as vertical line chip data (Step 1315), and data are saved (Step 1312).

[0077] And the value of the data of the compressed field is rewritten from 1 to 0 (Step 1313). If it investigates whether it will be the value A(i, j+p) = 1 (however, p= 1) right above A (i, j) if it becomes k!=1 at (Step 1307) (Step 1317) and conditions are satisfied, the value of p is updated one time (Step 1318), and this operation will be repeated until it is set to A (i, j+p)!=1. If set to A (i, j+p)!=1, it will investigate whether it is p= 1 (Step 1319). If conditions are satisfied, it will investigate in k= 2 (Step 1320).

[0078] Supposing conditions are satisfied, horizontal pair bit chip data are created (Step 1311), compressed data A (i, j) is created (Step 1321), and data are saved (Step 1312). And the value of the data of the compressed field is rewritten from 1 to 0 (Step 1313). If it becomes k!=2 at (Step 1307), compressed data A (i, j, k) is created as horizontal line chip data (Step 1322), and data are saved (Step 1312).

[0079] And the value of the data of the compressed field is rewritten from 1 to 0 (Step 1313). If it investigates whether it will be A(i+r, j+q) = 1 (however, r= 1, q= 0) if it becomes p!=1 at (Step 1319) (Step 1323) and conditions are satisfied, the value of q is updated one time (Step 1324), and this operation will be repeated until it is set to A (i+r, j+q)!=1. And if set to A (i+r, j+q)!=1, it will investigate whether it is p=q (Step 1325), and it is [0080]. If conditions are satisfied, the value of r will be updated one time (Step 1326), and it will be made q= 0 (Step 1327). If it will investigate whether it is r= 1 if it becomes p!=q (Step 1328), and conditions are satisfied, the continuation number of bits of x on the basis of A(i, j) = 1 and the direction of y will be compared, and the line chip data of the longer one will be created (Step 1329). This data is saved (Step 1312) and the value of the data of the compressed field is rewritten from 1 to 0 (Step

1313).

[0081] If it becomes $r!=1$ at (Step 1328), compressed data A ($i, j, i+r-1, j+q-1$) will be created as block chip data (Step 1322). And this data is saved (Step 1312) and the value of the data of the compressed field is rewritten from 1 to 0 (Step 1313). It investigates whether at (Step 1304), when the value of all bits was 0, the compressed data for one chip was saved at the hard disk (Step 1331), and all the data in a wafer were saved (Step 1332). If conditions are satisfied, it will mean that the data for one wafer were compressed (Step 1332).

[0082] If conditions are not satisfied (Step 1332), the above-mentioned operation is repeated about other chips. In addition, it is necessary to care about making it save at a respectively separate storage region in the case of all data preservation.

[0083] The defect of a chip is displayed below on [IV] how, and it explains advancing analysis. An operator searches FB data about a desired wafer by specifying a form, a lot number, a wafer number, etc. It is restored from the state where it was compressed and the searched data are shown on display.

[0084] A display format is shown in drawing 27 from drawing 14 . First, the screen composition of this system is explained using drawing 14 . Drawing 14 is drawing showing the composition of the screen of the system displayed on display. As shown in drawing 14 , the analysis screen of this system is mainly divided into four.

[0085] The display of the portion which wants to analyze the main screen 1401 is made. The measurement conditions (supply voltage, operating temperature, access time, ...) of the data (a form name, Lot No, Wafer No, size, ...) about a thing and a circuit tester currently analyzed are displayed on the sub screen 1 (1402). The category in a wafer (classification performed for the chip in the wafer for inspection) etc. is displayed on the sub screen 2 (1403). The mat composition in a chip etc. is displayed on the sub screen 3 (1404). Moreover, a subwindow is also opened if needed.

[0086] Now, the advantage of displaying the measurement conditions of the test displayed on the sub screen 1 (1402) is explained here. The defect of a semiconductor can roughly divide into the defect who there is a problem and is generated in a setup of specification values of the measurement conditions of a circuit tester, such as supply voltage and measurement temperature, and the defect generated by the problem on a manufacture process. It becomes important that a poor number will increase, or it will decrease, or will investigate the cause if the former is made into what conditions when a defect occurs within the specification value of each measurement conditions. Therefore, a test condition etc. is displayed on the sub screen 1 (1402).

[0087] And what was measured within the specification value by displaying conditions, the thing measured out of the specification value, or since it becomes clear, it is efficiently analyzable. For example, when you measure as a specification value, suppose that FB occurred. Then, in order to investigate the cause of generating of FB, only the value of supply voltage narrows width of face of a specification value, and compares the difference. If FB has newly occurred, it will think because the margin of supply voltage is insufficient.

[0088] In contrast, if new FB has not occurred even if it changes the specification value of supply voltage, it measures by changing the value of other measurement conditions and the same result is obtained by all measurement, it will be thought that this FB has a problem on manufacture processes, such as a foreign matter and poor appearance.

[0089] Now, below, an example actually explains the case where failure analysis is performed, using drawing 15 or drawing 18. Drawing 15 is drawing having shown the example of a distribution display of FB on the wafer displayed on display. Drawing 16 is drawing having shown the example of a distribution display of FB in the chip displayed on display. Drawing 17 is drawing having shown the example of a distribution display of FB in the mat displayed on display. Drawing 18 is drawing having shown the example of a distribution display of FB in the shot displayed on display.

[0090] As shown in drawing 15, a wafer overview is shown and the distribution of FB in each chip is displayed into it. An operator chooses a chip display from menus and specifies a desired chip using a mouse etc. out of the sub screen 2 (1501). Specification of a desired chip displays a chip overview as shown in drawing 16. The distribution of FB in this chip is displayed on a chip overview. The mat composition in a chip is shown in the sub screen 3 (1601), and a mat overview as shown in drawing 17 is displayed by an operator's choosing a mat display from menus and specifying a desired mat with a mouse etc. from the sub screen 3 (1601).

[0091] Moreover, if a shot display is chosen from menus 1503 and a desired chip is chosen on the sub screen 1 (1501), a shot including the specified chip as shown in drawing 18 will be displayed. Here, a shot is an aligner and is an exposure unit which exposes two or more chips at once. Moreover, in case it displays like the above, as it is shown in drawing 3, the intersection of a Y-axis, the X-axis, and a Y-axis is made into a zero for left-hand side by being set the X-axis as a cage hula side (portion of the bottom where the wafer is even). The case of a wafer display of the number which shows the chip position on a wafer is making the position of the chip in the wafer currently displayed ascertained in 1504 and a chip display of 1505 by displaying 1602

and 1603, respectively for what analyzes.

[0092] From same viewpoint, in the mat display, the mat position in a chip was displayed on 1701 and 1702, and it has presented an analysis person's facilities with it.

[0093] Now, when an analysis person next wants to use drawing 19 or drawing 20 and to know detailed FB distribution of a bit unit, the case where an expansion function is used is explained. Drawing 19 is drawing having shown the example which carried out the enlarged display of the distribution of FB in the chip displayed on display.

[0094] When operators are screens, such as a wafer display and a chip display, and want to expand this enlarged display function in part, it is a function made to expand and display. If a desired portion is specified with a mouse when an operator wants to expand a part on screens, such as a wafer display and a chip display, as shown in drawing 19, an enlarged display screen will newly be opened.

[0095] When gathering and displaying a dilation ratio furthermore, it can change freely by specifying the dilation ratio button 1901 in the screen upper part with a mouse. On a screen, since the coordinate (1902 1903) based on design information (x y) is displayed, the position of FB can be checked easily. When a dilation ratio is changed, the display of a coordinate also changes according to it. This expansion function is possible from a wafer display, a shot display, a chip display, a mat display, a superposition display, and any screen.

[0096] Next, a scale function is described using drawing 20. Drawing 20 is drawing having shown the example which displayed the scale displayed on display.

[0097] An operator's specification of a scale function displays the ruler 2001 as shown in drawing 20 on an analysis screen. This ruler is effective in being able to change a direction and a position into in-every-direction slanting freedom, and checking the range of FB, bit size, a mat interval, etc. Moreover, this ruler can be expressed as any screen of a wafer display, a shot display, a chip display, a mat display, a superposition display, and an enlarged display. The graduation of a ruler suits the representative fraction of each display screen, and the graduation of a ruler is changed whenever it changes an analysis screen.

[0098] A superposition function is described using [v] next drawing 21, and drawing 22. A superposition algorithm is described using introduction and drawing 21. Drawing 21 is the conceptual diagram having shown the method of superposition.

[0099] First, the compressed data on the same wafer saved in the database is called by two chips, and it returns to the state before compression, 0 [i.e.,], and 1 data on memory. And the following work is done. Drawing 21 is asked for the value of the cell comrade to whom Chips A and B correspond so that it may be shown. next -- if what

called the compressed data of another chip and was changed into 0 and 1 data from the database is set to C -- before -- having asked (A+B) -- it asks for the sum of the value of C Hereafter, one by one, from a database, compressed data is called and same processing is performed. If what was finally called for is set to END, the value of each cell of this END shows the chip number of sheets which FB generated in the same cell position among the chips which carried out superposition. The result which piled up the chip in the same wafer by this processing can be obtained. When carrying out a screen display of the above-mentioned result, a foreground color is changed with the value (lap number of sheets) (2101) which each cell shows, and a lap state is clarified.

[0100] As mentioned above, what is necessary is to call the data of the chip in the homotopic of a different wafer one by one, and just to perform processing which stated above, and same processing, when performing superposition between wafers, although the chip superposition in the same wafer was described. These processings are performed and screens, such as a wafer which is described below, a shot, and a chip, are created.

[0101] Now, an analysis feature called the shot unit superposition in a wafer is explained using drawing 22. Drawing 22 is drawing showing the example which piled up and displayed the distribution of FB on the shot unit displayed on an output unit.

[0102] As mentioned above, in an aligner, two or more chips are exposed at once. The exposure unit was called shot. Here, the case where 2 *****s is exposed at once is explained. If a defect and a foreign matter exist on the photo mask used for exposure, FB will appear repeatedly in the same position in a shot. An operator will open the shot superposition window which piles up and displays the distribution of FB every shot 2201 in the wafer, if a shot unit superposition function is specified looking at a wafer overview. In the window, the chip appearance and the distribution situation of FB in each chip are displayed.

[0103] Moreover, in case the distribution of FB is shown, a color and a mesh are divided and displayed according to several j of FB which exists in the same part. To the shot total i, the method of presentation calculates j/i, carries out the value for 3 minutes, for example, and is a frog (2202, 2203, 2204) about a color, a mesh, etc. for every range.

[0104] If it does in this way, since it turns out that FB has occurred repeatedly for every shot, by investigating the applicable part on a mask, the probability that a defect and a foreign matter can be discovered increases on a photo mask, and the part where j/i is large can obtain a suitable result more.

[0105] Next, an analysis feature called chip unit superposition is explained using drawing 23 . Drawing 23 is drawing showing the example which piled up and displayed the distribution of FB on the chip unit displayed on an output unit.

[0106] If defects, such as an error or a shortage of a margin, are in the design of a circuit pattern, FB will occur repeatedly in the same part in a chip. An operator will display the distribution situation of FB every chip 2301 in the wafer, if a chip unit superposition function is specified looking at a wafer overview. And in case the distribution of FB is shown, the same method of presentation as shot unit superposition is used. However, the shot total i turns into a chip total here. When the value of j/i is large, it is thought that there is a defect on a design in an applicable part, and poor factors, such as defects, such as an error or a shortage of a margin, may be more appropriately discovered to the design of a circuit pattern by improving a design here.

[0107] Next, an analysis feature called wafer unit superposition is explained using drawing 24 . Drawing 24 is drawing showing the example which piled up and displayed the distribution of FB on the wafer unit displayed on an output unit.

[0108] For example, if fault is in membrane formation equipment and there are abnormalities of membranous quality or thickness, it will incline toward the wafer side interior division cloth of FB, and 2401 will come out. Such deviation of FB can be actualized by piling up the distribution of FB on two or more wafers. In this invention, an operator can perform wafer unit superposition using the above-mentioned window for the whole wafer display by specifying the name of article of the wafer (plurality) for which it asks, a lot number, and a wafer number. When membrane formation equipment is checked when the abnormalities of membranous quality or thickness are found, and after [membrane formation] thickness or membranous inspection is being conducted by the superposition of FB, a poor factor may be more appropriately discovered by checking test equipment itself or management specification.

[0109] The technique called grouping is described using [VI], next drawing 25 . Drawing 25 is drawing showing the flow which showed the procedure of grouping.

[0110] Although FB group was divided in order to perform a data compression efficiently, the data compression method concerning this invention is technique in order for this each of that was divided to make it recognize that it was the same FB group. Thereby, in case matching analysis of circuit tester data and other measurement data, for example, foreign matter data, is performed, it becomes clear under the influence by one foreign matter how many FB(s) occur. This processing creates compressed data, before it saves compressed data in a database, it may be

performed, and in case it actually compares and data are transmitted to analysis or observation equipment, you may perform it.

[0111] First, the saved compressed data is called one by one. Next, $Gmax=1$ is set up as initial value (Step 2501). And it investigates whether the value of a flag is $FA=0$ (Step 2502). If it becomes $FA=0$, it will investigate whether there are data B which touch the right-hand side of Data A (Step 2503).

[0112] If there are touching data B, the value of GB which is the group No of B will investigate whether it is 0 (Step 2504). The value of $Gmax$ will be substituted for GA and GB which are the group No of A if it becomes $GB=0$ (Step 2505). Next, it investigates whether there are data C which touch A bottom (Step 2506). If it is, the value of GC which is the group No of C will investigate whether it is 0 (Step 2507).

[0113] The value of $Gmax$ will be substituted for GC if it becomes $GC=0$ (Step 2508). And the value of $Gmax$ is updated one time (Step 2509). Finally, the value of FA is changed into 1 from 0 (Step 2510). At (Step 2506), if there are no data C which touch A bottom, the value of $Gmax$ will be updated one time (Step 2509).

[0114] And the value of FA is changed into 1 from 0 (Step 2510). The value of GC will be substituted for GA and GB if it becomes $GC!=0$ at (Step 2507) (Step 2511). And the value of FA is changed into 1 from 0 (Step 2510). Moreover, the value of GB will be substituted for GA if it becomes $GB!=0$ at (Step 2504) (Step 2512).

[0115] Next, it investigates whether there are data C which touch A bottom (Step 2513). If it is, GC will investigate whether it is 0 (Step 2514). The value of GB will be substituted for GC if it becomes $GC=0$ (Step 2515). And the value of FA is changed into 1 from 0 (Step 2510). $GB<=GC$ will be investigated if it becomes $GC!=0$ at (Step 2514) (Step 2516).

[0116] The value of GB will be substituted for GC if this inequality is materialized (Step 2515). And the value of FA is changed into 1 from 0 (Step 10). GC value will be substituted for GA and GB if it becomes $GB>GC$ at (Step 2516) (Step 2517). And the value of FA is changed into 1 from 0 (Step 2510). At (Step 2503), if there are no data B which touch the right-hand side of A, it will investigate whether there are data C which touch A bottom (Step 2518).

[0117] If there are touching data C, the value of GC will investigate whether it is 0 (Step 2519). The value of $Gmax$ will be substituted for GA and GC if it becomes $GC=0$ (Step 2520). And the value of $Gmax$ is updated one time (Step 2509), and the value of FA is changed into 1 from 0 (Step 2510). The value of GC will be substituted for GA if it becomes $GC!=0$ at (Step 2519) (Step 2521).

[0118] And the value of FA is changed into 1 from 0 (Step 2510). The value of $Gmax$

will be substituted for GA if there are no data C which touch A bottom at (Step 2518) (Step 2522). And the value of Gmax is updated one time (Step 2509), and the value of FA is changed into 1 from 0 (Step 2510). If it becomes FA!=0 at (Step 2502), reading data is continued until the value of the flag of all data is set to 1. Operation will be stopped if the flag of all data becomes one (Step 2523).

[0119] The function to presume the poor cause is explained from the configuration distribution of FB using [VII] next drawing 26 , and drawing 27 . Drawing 26 is drawing showing the example of a display of the distribution configuration of FB displayed on an output unit (the 1). Drawing 27 is drawing showing the example of a display of the distribution configuration of FB displayed on an output unit (the 2).

[0120] The information based on an expert's knowledge or the past analysis result is contained in the poor cause database. If an analysis person specifies a poor cause presumption function first, specifies desired FB or desired FB group and searches data dace, the item considered to be the cause which caused FB will be outputted. For example, if the cell is specified and a database is searched like drawing 26 (A) when only one memory cell in a chip is FB, an indication called foreign matter adhesion will be given on a memory cell. Moreover, the poor cause displayed here always is not restricted in one item, but case [like drawing 27], two or more items may be displayed. Drawing 27 shows that foreign matter adhesion, a circumference circuit (B), and (C) are short-circuit or an open circuit at a part for a line chip intersection (A). This poor item can also give and display priority from the past analysis result. When a poor cause, a poor process, etc. are clear from this result, the result is fed back to its related post.

[0121] The function of the observation system using the electron microscope (it abbreviates to "SEM" hereafter) etc. is explained using [VIII], next drawing 28 . Drawing 28 is drawing showing the coordinate reference point in a chip.

[0122] A representation point is extracted based on results, such as analysis of FB data, and comparison analysis of FB data, and dust-particle-inspection data / visual-inspection data. And the coordinate of the representation point is computed and the data of a coordinate are sent to the data processor attached to SEM etc. Since the system of coordinates in a chip change with each test equipment (a circuit tester, dust-particle-inspection equipment, visual-inspection equipment, SEM, laser beam microscope, etc.) at this time, an error will arise in having performed simple data transfer and data matching. That is, there is a reference pattern 401 for deciding the coordinate in a chip as shown in drawing 4 in a chip, and where [in the pattern] is made into a reference point changes with each equipment. Therefore, the coordinate

of the coordinate reference point of each equipment and the relative error between each equipment are beforehand computed from design information, and the information is registered into the database. And in case matching analysis with a data transfer or other data is performed, a part for the error between system of coordinates is amended, and coordinate calculation is performed.

[0123] For example, when transmitting the coordinate of a certain memory cell to SEM which is observation equipment 109 and observing it after an analysis person analyzes with the FB analysis system 105 in drawing 1, data transfer is performed after performing the following processings. First, FB data are changed into a substance coordinate from a logic coordinate. Furthermore, an error with SEM is amended. that is, the substance coordinate [in / a circuit tester / as shown in drawing 28] (2801 (x y)) of FB -- correction value -- ** (2802 (a, b)) -- the formula of the following / coordinate / FB / (X, Y) / (2803) / in SEM system of coordinates / if it carries out] -- giving -- ****

[0124]

[Equation 1] $(X, Y) = (x, y) + (a, b)$

[0125] Therefore, the value of $(x+a, y+b)$ will be transmitted. What is necessary is just to perform coordinate transformation by the same method, in case matching with other data is performed. In SEM, the applicable position on a wafer or a chip is observed based on the obtained coordinate data. And it is made clear by observation whether there are a foreign matter and a blemish on a representation point and the outskirts of it. Thus, that amendment to each equipment can be performed systematically was the advantage which made LSI design information 107 the requirements for the structure of a system.

[0126] Since the semiconductor device is making the layer structure on the occasion of observation, it is necessary to remove the some layers upper part if needed. Furthermore, when abnormalities, such as a foreign matter and a blemish, cannot be checked as a result of observation, the layer currently observed is removed and the lower layer is observed. In addition, the means to remove has the well-known technique called etching, and this invention can also be performed by using etching that there is nothing inconvenient. Moreover, an observation picture is saved through a data processor at a suitable storage, for example, a hard disk, an optical disk, etc. On the occasion of preservation, the identifier which becomes settled in only is given to observation image data at least within a storage. In addition, you may perform calculation of a representation point by the data processor.

[0127] Furthermore, if observation equipment is equipment which can obtain not only

SEM but the suitable scale factor for observation, it is good anything. The component will be analyzed if mixing of a foreign matter or an impurity is seen when it observes by SEM etc. The analysis itself may be performed within equipments, such as SEM, and another equipment may perform it. When another equipment performs, it can transmit through a network, or coordinate data is recorded on a portable storage and it enables it to pass it. as an analysis apparatus -- an energy-dispersion type X-ray spectroscope (in drawing 1 , it abbreviates to "EDX" and is displaying), a REZAMA spectroscope (in drawing 1 , it abbreviates to a "laser mass" and is displaying), and infrared absorption -- a spectrum -- there is a spectroscope (in drawing 1 , it abbreviates to a "infrared spectroscopy" and is displaying) etc.

[0128] By inputting the function and lot number which direct the function to manage the inspection career of a wafer, the process which inspects to a degree, the content of inspection, etc., and a wafer number using [IX], next drawing 29 explains the function which acquires the content of inspection of the past of the corresponding object. Drawing 29 is a conceptual diagram of a system which manages the inspection career of a wafer using an IC card and a computing system, and directs an inspection process and the content of inspection.

[0129] First, when conducting a dust particle inspection, visual inspection, etc., it inputs into the storage (for example, IC card 292 with a display function) which could carry the inspection process, the verification condition, the content of inspection, the inspection result, etc., and was equipped with the display function in the case of inspection. Its work top is also convenient, if the storage is made to accompany the inspected lot and it carries. thus -- if it carries out -- the display on an IC card -- or the inspection history of a lot or a wafer can acquire now easily by the output unit 294 of a computing system 295 Or the content of inspection of the past of the object which corresponds from an output unit 294 can be known by storing this in the inspection history data base 297 by inputting a lot number and a wafer number from the keyboard 296 of a computing system 295. Moreover, using the inspection process of a computing system, and the content directions program of inspection, with the data memorized by this storage, it can determine whether conduct the content of inspection conducted at future processes, and the inspection itself, the planning for inspection can be omitted by this automation, and it becomes improvement in working capacity.

[0130] For example, a dust particle inspection is conducted at a membrane formation process, when more foreign matters than the criteria decided beforehand are detected, it restricts, and employment of conducting visual inspection after the

photolithography process completion just behind it is attained. Thus, it becomes possible to analyze whether pattern formation was affected by foreign matter adhesion by applying. Moreover, since only the lot or wafer to which the foreign matter adhered mostly unusually should conduct visual inspection, when the inspection speed of visual inspection is slower than the inspection speed of a dust particle inspection, it becomes possible to judge the lot which should carry out visual inspection, and a process.

[0131] The function of the matching analysis of [X], next FB data, and dust-particle-inspection data / visual-inspection data is explained.

[0132] First, an operator specifies the function of the comparison analysis of FB data, and dust-particle-inspection data / visual-inspection data. By inputting conditions, such as a form name of the lot/wafer to analyze, wafer size, Lot No, Wafer No, and an assay date, and searching a database It becomes clear how many FB(s) have occurred under the influence of a foreign matter or a blemish by calling desired data and comparing the cell position coordinate used as the position coordinate which the foreign matter and the blemish attached, and FB. Thereby, it can perform narrowing [of a poor cause and poor generating process] down. Furthermore, what is necessary is just to transmit a desired coordinate to observation equipment or an analysis apparatus, when performing detailed analysis. In this matching analysis, since system of coordinates change with each test equipment as stated before, coordinate comparison is performed, after unifying system of coordinates.

[0133]

[Effect of the Invention] According to this invention, early investigation of a poor cause can be performed, the defect generated intensively is prevented, and improvement in the product yield can be aimed at now.

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the fundamental concept view of the failure-analysis system concerning this invention.

[Drawing 2] It is the conceptual diagram showing the detailed composition of FB analysis system.

[Drawing 3] It is the outline **** view of the chip arranged on the wafer.

[Drawing 4] It is drawing showing the composition in a chip.

[Drawing 5] It is drawing showing the outline flow of physical conversion.

[Drawing 6] It is drawing showing the various patterns of FB in a chip.

[Drawing 7] It is drawing showing the division method (diagonalization) of FB group.

[Drawing 8] It is drawing showing how to have data of diagonalization.

[Drawing 9] It is drawing showing the division method (vectorization) of FB group, and how to have data.

[Drawing 10] It is drawing showing the flow of the method of using some compression methods properly for every configuration of FB in a chip.

[Drawing 11] It is drawing showing the flow of the method as which the compression method is made to choose per chip.

[Drawing 12] It is drawing showing the reconstitution of data for one wafer, and the flow about a display.

[Drawing 13] It is drawing showing the detailed flow in the case of performing a data compression for every configuration of FB in a chip.

[Drawing 14] It is drawing showing the composition of the screen of the system displayed on display.

[Drawing 15] It is drawing showing the example of a distribution display of FB on the wafer displayed on display.

[Drawing 16] It is drawing showing the example of a distribution display of FB in the chip displayed on display.

[Drawing 17] It is drawing showing the example of a distribution display of FB in the mat displayed on display.

[Drawing 18] It is drawing showing the example of a distribution display of FB in the shot displayed on display.

[Drawing 19] It is drawing showing the example which carried out the enlarged display of the distribution of FB in the chip displayed on display.

[Drawing 20] It is drawing showing the example which displayed the scale displayed on display.

[Drawing 21] It is the conceptual diagram showing the method of superposition.

[Drawing 22] It is drawing showing the example which piled up and displayed the distribution of FB on the shot unit displayed on display.

[Drawing 23] It is drawing showing the example which piled up and displayed the distribution of FB on the chip unit displayed on display.

[Drawing 24] It is drawing showing the example which piled up and displayed the distribution of FB on the wafer unit displayed on display.

[Drawing 25] It is drawing showing the flow which shows a grouping procedure.

[Drawing 26] It is drawing showing the example of a display of the distribution configuration of FB displayed on display (the 1).

[Drawing 27] It is drawing showing the example of a display of the distribution configuration of FB displayed on display (the 2).

[Drawing 28] It is drawing showing the coordinate reference point in a chip.

[Drawing 29] It is the conceptual diagram of a system which manages the inspection career of a wafer using an IC card and a computing system, and directs an inspection process and the content of inspection.

[Description of Notations]

101-110 -- Configuration block of this invention

201-212 -- The main configuration blocks of FB analysis system

401-408 -- The main composition of a chip

501-505 -- Processing step of physical conversion

1001-1011 -- Processing step of compression of the data in the technique of choosing the compressing method for every distribution configuration of FB

1101-1109 -- Processing step of compression of the data in the technique of choosing the compressing method for every chip

1201-1203 -- Processing step of a data restoration display

1301-1325 -- Processing step of the data compression method (detail)

1401-2001 -- Content displayed on display

2101 -- Lap number of sheets of a chip

2201-2401 -- Content displayed on display

2501-2523 -- Grouping processing step

2801-2803 -- Coordinate reference point in a chip

[Translation done.]

(51)Int.Cl.⁷
 H 01 L 21/66
 G 01 R 31/28
 G 06 F 11/22

識別記号
 3 3 0

F I
 H 01 L 21/66
 G 06 F 11/22
 G 01 R 31/28

テーマコード^{*} (参考)
 Z
 3 3 0 B
 B

審査請求 有 請求項の数12 OL (全29頁)

(21)出願番号 特願2000-10130 (P2000-10130)
 (62)分割の表示 特願平5-44006の分割
 (22)出願日 平成5年3月4日 (1993.3.4)
 (31)優先権主張番号 特願平4-49307
 (32)優先日 平成4年3月6日 (1992.3.6)
 (33)優先権主張国 日本 (J P)
 (31)優先権主張番号 特願平5-8130
 (32)優先日 平成5年1月21日 (1993.1.21)
 (33)優先権主張国 日本 (J P)

(71)出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (72)発明者 石原 和子
 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
 (72)発明者 石川 誠二
 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
 (74)代理人 100068504
 弁理士 小川 勝男 (外1名)

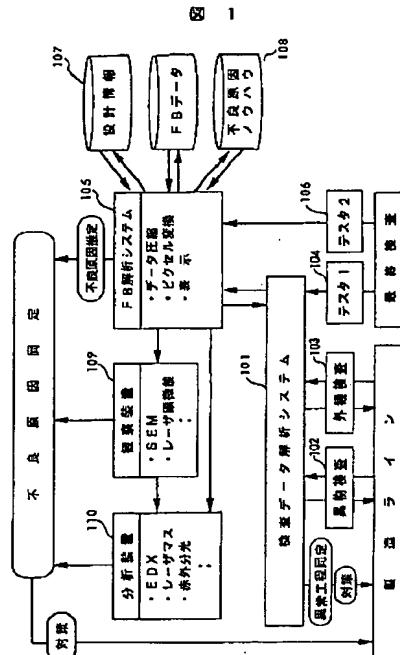
最終頁に統ぐ

(54)【発明の名称】 検査システム、解析ユニット及び電子デバイスの製造方法

(57)【要約】

【目的】半導体の検査システムにおいて、半導体の高集積化に対応し、より測定精度の高い解析を行なう。また、使いやすいユーザインターフェースを提供し、解析を容易にする。さらに、解析データの圧縮を能率的に行なう。

【構成】FB解析システム105と検査データ解析システム101とテストを有し、データ解析のためのLSI設計情報107を持つ。また、表示装置にその不良情報または解析データまたは検査条件をマルチウィンドウを用いて表示する。さらに、解析データのデータ圧縮時に不良ビットの生ずる形態により、その格納形態を異ならしめる。



【特許請求の範囲】

【請求項1】被検査ワークを検査して該被検査ワークのフェイルビットに関する検査結果を出力する電気特性検査装置と、該電気特性検査装置が出力した検査結果を処理してその処理結果を表示する解析ユニットとを備え、該解析ユニットがフェイルビットに関する情報と該フェイルビットが発生したときの測定条件とを表示するように構成されたことを特徴とする検査システム。

【請求項2】前記解析ユニットが被検査ワークに関する情報を表示することを特徴とする請求項1記載の検査システム。

【請求項3】前記測定条件が、電源電圧もしくは動作温度もしくはアクセス時間のいずれか一つの条件を有することを特徴とする請求項1又は2記載の検査システム。

【請求項4】前記被検査ワークに関する情報が、品種名もしくはロットNo.もしくはウェハNo.もしくはサイズのいずれか一つを有することを特徴とする請求項1から3のいずれかに記載の検査システム。

【請求項5】被検査ワークのフェイルビットに関する検査結果を処理してその処理結果を表示する解析ユニットであって、フェイルビットに関する情報と該フェイルビットが発生したときの測定条件とを表示するように構成されたことを特徴とする解析ユニット。

【請求項6】前記被検査ワークに関する情報を表示することを特徴とする請求項5記載の解析ユニット。

【請求項7】前記測定条件が、電源電圧もしくは動作温度もしくはアクセス時間のいずれか一つの条件を有することを特徴とする請求項5又は6記載の解析ユニット。

【請求項8】前記被検査ワークに関する情報が、品種名もしくはロットNo.もしくはウェハNo.もしくはサイズのいずれか一つを有することを特徴とする請求項5から8のいずれかに記載の解析ユニット。

【請求項9】ワークを処理する製造ラインと、該製造ラインで処理されたワークを検査して該被検査ワークのフェイルビットに関する検査結果を出力する電気特性検査装置と、該電気特性検査装置が出力した検査結果を処理してその処理結果を表示する解析ユニットとを用いた電子デバイスの製造方法であって、該解析ユニットがフェイルビットに関する情報と該フェイルビットが発生したときの測定条件とを表示し、その表示結果を用いて不良対策しながらワークを処理することを特徴とする電子デバイスの製造方法。

【請求項10】前記解析ユニットが被検査ワークに関する情報を表示することを特徴とする請求項9記載の電子デバイスの製造方法。

【請求項11】前記測定条件が、電源電圧もしくは動作温度もしくはアクセス時間のいずれか一つの条件を有することを特徴とする請求項9又は10記載の電子デバイスの製造方法。

【請求項12】前記被検査ワークに関する情報が、品種

名もしくはロットNo.もしくはウェハNo.もしくはサイズのいずれか一つを有することを特徴とする請求項9から11のいずれかに記載の電子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、不良解析に係り、特に半導体の製造技術においてウェハプロセス過程における不良原因を解析するために好適な検査システム、解析ユニット及び電子デバイスの製造方法に関する。

10 【0002】

【従来の技術】従来、半導体の製造技術における不良解析方法およびシステムについては、例えば、特開昭62-169342号、特開昭61-243378号、特開昭59-228726号、特開平3-44054号公報に開示されている。

【0003】

【発明が解決しようとする課題】上記、特開昭59-28726号、特開平3-44054号公報においては、計算機システムを用いて、半導体ウェハの不良解析

20 行う技術が開示されている。しかしながら、上記従来技術は、半導体の不良解析をチップ単位で行なう手法に関するものである。したがって、特に半導体記憶装置の不良を解析するとき、単にチップの製品特性を解析するだけでなく、チップ内の記憶素子1ビットずつの良、不良を解析する必要があることについて考慮されていない。

【0004】それゆえ、不良ビット（フェールビット、以下「FB」と略す）の原因を解析するために、チップの製品特性検査装置（以下「テスタ」という）からFB

30 のアドレスを収集し、チップの大きさ、その上のメモリの配置方法等を参照して該当する不良ビットのチップ上の場所を割り出し、得られた実体座標を基に作業者がそのチップを顕微鏡で観察していた。例えば、作業者は顕微鏡観察をして不良発生箇所に異物を認めた場合、その不良は異物に起因していたと結論していた。

【0005】このように従来では、FBの1ビットづつ解析するために多大の労力を要していた。それゆえ、かかる労力を軽減し、不良解析を1ビット単位でシステムとしてスムーズに行ないたいという要請に応える必要が

40 あった。その場合に従来では、不良位置で測定するための座標をウェハ単位で設けていたため、チップ内のメモリセルの位置を知るときに誤差が大きくなるという問題点もあった。

【0006】特に、近時においては、半導体メモリの集積度が大きくなる傾向があるため、かかる誤差は、不良解析のための大きな障壁となる。また、上記従来技術はチップの種別によって、チップ内のメモリマットの配置、メモリセルの大きさ等の特性が違うことに対して、円滑に対応することに対しても考慮されていない。さらに、半導体の不良解析システムにおいては、電子顕微鏡

50

等の観察装置、赤外線吸収分光スペクトロスコープ等の分析装置を用いるが、これらを用いて、メモリ上のFBを解析する場合、メモリセル上の原点を一致させようとしても、個々の装置の特性のために微細なずれが生じるという問題があった。

【0007】次に、特開昭62-169342号と特開昭61-243378号公報は、被検査対象である半導体メモリのセル上のFBの情報に関するデータの圧縮に関するものである。しかしながら、特開昭62-169342号公報に示されたデータ圧縮方法は、必ずしも大容量メモリセルの解析に適したものではない。その理由は、この圧縮方法においては、メモリセルをブロック化して、 $1/n$ に縮小したモデルを作るものであるが、例えば $n=100$ としても、高々10000分の1の圧縮率しか得られず、何Mb/tの容量を有するメモリの場合では膨大な量のデータが必要になることである。

【0008】また、今一つの理由として、1ブロック内の不良パターンがどのようにあるか、同じ形式に圧縮されてしまうため、ビット位置の詳細情報が失われてしまうという不都合があるためである。さらに、特開昭61-243378号公報に開示されたデータ圧縮法については、上記のような情報の喪失はないが、必ずしも大容量メモリセルに適する効率的なデータ圧縮法とは言い難い。

【0009】その理由は、FBの情報を始点の座標位置、終点の座標位置というペアで保持するため、FBが連続している場合の効率は良くなるが、孤立しているFBに対しても同じだけの記憶容量を要するため、孤立したFBが多い場合、結果としてデータ圧縮率は悪いものになるからである。このように効率が悪いのは、データ圧縮をFBの発生するパターンのいかんによらず、一律に圧縮したためである。したがって、FBの発生パターンに応じてデータ圧縮を行ない、それを保存する方法が要請される。

【0010】次に、特開平3-44054号公報においては、計算機システムの表示装置に解析結果を表示する技術が開示されている。しかしながら、上記従来技術は、システムのユーザインターフェースに関し、不良解析結果情報を多数の観点より、体系的に考察する手段について考慮されていない。

【0011】すなわち、ウェハ全体の不良ビットの分析を示す表示、任意チップ上の不良ビットの分布を示す表示、チップ内的一部領域内の不良ビットの分布を拡大して示す表示、任意ショット上の不良ビットの分布を示す表示、ショット内的一部領域内の不良ビットの分布を拡大して示す表示などの不良解析結果情報を迅速かつ円滑に利用に供することについて考慮されていない。これらの情報は、表示装置の表示対象でないかあるいは表示される場合であっても、画面切り替え等の操作が必要であった。そのため、利用者に取って非常にわずらわしい操

作が必要になる場合が多かった。

【0012】さらに、システムのユーザインターフェースに関し、表示装置に表示する場合にメモリセルの大きさを視覚的に確認できる方法が上記従来技術では提案されていない。また、さらに、上記従来技術では、不良解析を行なう者にとって、検査時のテスト条件が重要なファクターになることについても考慮されていない。

【0013】すなわち、不良解析を行なう者が、テスト条件を種々変更して、不良原因を突き止める方法は、通常なされるところである。かかる場合、被検査対象とテスト条件を書面等でいちいち照合していたのでは、非常に効率の悪いことになる。

【0014】次に、半導体の不良解析技法として、ウェハを重ねあわせて、不良原因を解析する手法が知られている。しかしながら、ウェハの露光時、フォトマスクに不良がある場合に、不良原因を有効に究明するための手段についても考慮されていなかった。

【0015】次に、特開平3-44054号公報においては、計算機システムを用いて、半導体の不良解析結果を加工し、編集処理する技術について述べている。しかしながら、上記従来技術は、過去の検査履歴や将来行なうべき検査方法まで指示するものではない。

【0016】したがって、従来では、不良解析を行なう者がいちいち被検査対象の検査履歴を照合するなどの作業が必要であった。また、半導体の製造工程は、多くの段階に分かれているため、検査の結果に応じて、どの工程で再検査するかの検査計画を立てる必要がある。このプランニングは、様々なパターンがあるため、熟練者でも困難を極めるものである。

【0017】本発明は効果的に不良原因を究明しうる検査システム、解析ユニットを提供することを目的とするものである。また、不良原因を効果的に究明して電子部品の歩留まりを向上させることを目的とするものである。

【0018】
【課題を解決するための手段】本発明は、上記目的を達成するために、被検査ワークを検査して該被検査ワークのフェイルビットに関する検査結果を出力する電気特性検査装置と、該電気特性検査装置が出力した検査結果を40処理してその処理結果を表示する解析ユニットとを備え、該解析ユニットがフェイルビットに関する情報と該フェイルビットが発生したときの測定条件とを表示するように構成されたものである。また、前記解析ユニットが被検査ワークに関する情報を表示するものである。また、前記測定条件が、電源電圧もしくは動作温度もしくはアクセス時間のいずれか一つの条件を有するものである。また、前記被検査ワークに関する情報が、品種名もしくはロットNo.もしくはウェハNo.もしくはサイズのいずれか一つを有するものである。また、被検査ワークの50フェイルビットに関する検査結果を処理してその処理結果

5
果を表示する解析ユニットであって、フェイルビットに関する情報と該フェイルビットが発生したときの測定条件とを表示するように構成されたものである。また、前記被検査ワークに関する情報を表示するものである。また、前記測定条件が、電源電圧もしくは動作温度もしくはアクセス時間のいずれか一つの条件を有するものである。また、前記被検査ワークに関する情報が、品種名もしくはロットNo.もしくはウェハNo.もしくはサイズのいずれか一つを有するものである。また、ワークを処理する製造ラインと、該製造ラインで処理されたワークを検査して該被検査ワークのフェイルビットに関する検査結果を出力する電気特性検査装置と、該電気特性検査装置が出力した検査結果を処理してその処理結果を表示する解析ユニットとを用いた電子デバイスの製造方法であって、該解析ユニットがフェイルビットに関する情報と該フェイルビットが発生したときの測定条件とを表示し、その表示結果を用いて不良対策しながらワークを処理するものである。また、前記解析ユニットが被検査ワークに関する情報を表示するものである。また、前記測定条件が、電源電圧もしくは動作温度もしくはアクセス時間のいずれか一つの条件を有するものである。また、前記被検査ワークに関する情報が、品種名もしくはロットNo.もしくはウェハNo.もしくはサイズのいずれか一つを有するものである。

【0019】

【作用】以上の構成によれば、検査結果とテスト条件が表示装置に同時に表示されるため、調査のための労力が軽減され、テスト条件を変更して再検査することが容易になる。

【0020】

【実施例】以下、本発明にかかる一実施例を図1ないし図29を用いて説明する。

【0021】[I] 先ず、図1を用いて、本発明に係る不良解析システムの基本概念を説明する。図1は、本発明に係る不良解析システムの基本概念図である。

【0022】検査データ解析システム101は、製造ラインで異物検査102、外観検査103から得られるデータと、ウェハ最終検査においてテスタ1(104)から得られるデータをもとに解析を行なう。

【0023】FB解析システム105は、ウェハ最終検査においてテスタ2(106)から得られるデータとLSI設計情報107を用いて、FBの分布形状から不良箇所および不良誘発点を抽出し、不良原因ノウハウ情報108を参照して不良原因の推定を行なう。

【0024】また、観察装置109は、FB解析システムから渡された不良箇所及び不良誘発点箇所の座標を観察し、不良原因および不良工程を特定する。分析装置110は、観察装置109で検出した異物等の成分分析を行い、不良原因および不良工程を特定する。

【0025】[II] 次に、FB解析システムと半導体ウ

エハ(以下単に「ウェハ」と呼ぶ)上のチップおよびLSI設計情報について図2ないし図4を参照して説明する。先ず、図2を用いてFB解析システム105を説明する。図2は、FB解析システムの詳細構成を示す概念図である。

【0026】FB解析システム105は、LSI設計データ(品種、配列情報)を有するLSI設計情報a201と、テストデータをフィジカルデータにするフィジカル変換202を有する。さらに、データ圧縮手段203とデータ管理手段204とピクセル変換手段205とLSI設計情報b206とFB分布特徴抽出手段207と不良原因を推定する手段208と表示装置209を有する。このFB解析システム105は、フィジカルデータを圧縮し、FBデータベース111に保存する機能を有する。

【0027】また、必要に応じてデータ管理手段204を介して、保存したデータを検索し、呼び出す。操作はマウス211を用いて行なうと作業性が向上する。次にピクセル変換205を行い、表示装置209に不良ピットのウェハ内位置またはチップ内位置を表示する。この時、FB分布特徴抽出手段207をし、不良原因ノウハウ情報108を参照し、不良原因の推定208をする。さらに、詳細な解析をする場合は、特徴抽出した座標を観察装置109や分析装置111に渡す。そして、テスタ2(106)からは、FB解析システム105に、品種、日付、ロットNO.、ウェハNO.、ピットアドレス、ピットの良、不良情報などの各種情報が転送されてくる。

【0028】次に、図3及び図4を用いて、半導体ウェハ(以下単に「ウェハ」と呼ぶ)上のチップの状況と、そのチップ内の構成を示す。図3は、ウェハ上に配列されたチップの状況を示す図である。

【0029】検査対象である半導体ウェハ上に縦横に配列された長方形板状のチップ内に作り込まれた状態になっている。ウェハ内のチップの位置は、例えば、図3に示すごとく(4, 3)のように表すことができる。

【0030】図4は、チップ内の構成を示す図である。チップの端にはチップ内原点を示すマーク401を図示してある。チップの周辺部分には複数個の外部端子403(ボンディングパッド)が配列されている。

【0031】チップ中央部には、例えば4メガビットの大容量を有するメモリマットが配列されている。このメモリマットは第1メモリマット404から第4メモリマット407に4分割されている。そして、4分割された各メモリマットのそれぞれは1メガビットの容量に構成されている。第1メモリマット404と第2メモリマット405の間には、デコーダ回路を含む周辺回路402が配置されている。同様に、第3メモリマット406と第4メモリマット407との間にも、周辺回路408が配置されている。

【0032】さらに、第1メモリマット404においては、メモリセル（以下、単に「セル」と呼ぶ）が、図4に示されるように升目上に配置されている。セルは図中左側から右側に向かう横・正方向X aおよび縦・正方向Yのそれぞれに順次配列されている。第2メモリマット405においてはセル群が、周辺回路402を介在して、図中右側から左側に向かう横・逆方向X b、および縦・正方向Yのそれぞれに順次配列されている。すなわち、第2メモリマット405においては、セル群は第1メモリマット404のミラー反転パターンにより座標系がとられている。

【0033】そして、第3メモリマット406は第1メモリマット404と同様に、また、第4メモリマット407は第2メモリマット405と同様に、セル群がそれぞれ順次配列されている。

【0034】さて、ここでLSI設計情報107について説明する。このLSI設計情報107をシステムに付加したことが本発明の核心をなすものである。LSI設計情報107は、上述したメモリマットの配置位置やサイズ情報の他、ウェハサイズやチップサイズ、メモリセルサイズ、ウェハ内のチップ配列情報、チップ内にあるメモリマット数、メモリマット内にあるメモリセル数、チップ内の座標を決めるための座標基準パターンの位置座標、測定に当たって個々の観察装置、分析装置の特性により生ずる補正値その他多数の半導体の不良解析を行なうための情報が含まれている。

【0035】FB解析システム105では、隨時このLSI設計情報107を参照してFBの解析を行なう。このLSI設計情報107を持たせたことの利点は、以下の如くである。

【0036】第一の利点としては、設計情報をもとにウェハやチップ等の表示をすることにより、ユーザは実際に即した表示のもとで解析を行うことができ、不良要因の究明が容易に行える。

【0037】第二の利点としては、メモリチップ内の配置情報を持っているためFBの特定にメモリチップ内に原点を取れるようになったため測定精度が上がったこと*

*がある。従来技術では、図3の如き座標を取っていたため、チップの間の溝の大きさが不揃いになりがちであり、誤差が大きかった。

【0038】第三の利点としては、個々のチップの種別ごとにLSI設計情報107を取り替えるためシステムの柔軟性が向上して、より容易に異なる種別のチップの不良解析システムを構築できることである。

【0039】第四の利点としては、LSI設計情報107に観察装置、分析装置を用いるときの補正值を保持しているため、これらの装置を用いるときの精度の向上が期待できることである。

【0040】第四の利点としては、LSI設計情報107に観察装置、分析装置を用いるときの補正值を保持しているため、これらの装置を用いるときの精度の向上が期待できることである。

【0041】第五の利点としては、個々のメモリセルの大きさをLSI設計情報107として保持することにより、セルのアドレス情報と観察装置および分析装置を用いる長さ情報の変換が容易かつ正確に変換できるようになったことである。

【0042】このLSI設計情報107をシステムに付加したことにより、上述の利点が得られ、システムとしての可用性、柔軟性が向上した。

【0043】[III] 次に、図5ないし図9ならびに表1および表2を用いて、FBのデータ処理ステップ、特にデータ圧縮方法とその復元方法について詳細に説明する。先ず、図6と表1、表2を用いて、本実施例に係るデータ圧縮法の考え方と圧縮データの持ち方を説明する。

【0044】図6は、チップ内のFBの各種パターンを示す図である。内部データとしては、良ビットを0、不良ビット(FB)を1として1ビット情報として持つのが一般的であるが、図6では、良ビットを空白、問題となる不良ビット(FB)を1と表示している。

【0045】表1は、図6の各々のパターンをどのように圧縮するかを示す表である。

【表1】

表 1

図6の例	呼び方	圧縮時のデータの持ち方
(a)	孤立点	座標(x, y)
(b)	横ライン欠け	始点座標(x, y), 横長さ
(c)	縦ライン欠け	始点座標(x, y), 縦長さ
(d)	横ペアビット欠け	始点座標(x, y)
(e)	縦ペアビット欠け	始点座標(x, y)
(f)	ブロック欠け	始点座標(x, y), 終点座標(x, y)

(注) 横ライン欠け、縦ライン欠けの長さは3以上とする。

【0046】表2は、図6の各々のパターンに従って圧縮した場合に要するビット数を示す表である。

表 2

呼び方	必要なビット数[bit]	図6の場合
孤立点	$\lceil \log_2 m \rceil + \lceil \log_2 n \rceil$	6
横ライン欠け	$\lceil \log_2 m \rceil + \lceil \log_2 n \rceil + \lceil \log_2 w_1 \rceil$	9
縦ライン欠け	$\lceil \log_2 m \rceil + \lceil \log_2 n \rceil + \lceil \log_2 v_1 \rceil$	8
横ペアビット欠け	$\lceil \log_2 m \rceil + \lceil \log_2 n \rceil$	6
縦ペアビット欠け	$\lceil \log_2 m \rceil + \lceil \log_2 n \rceil$	6
ブロック欠け	$2 (\lceil \log_2 m \rceil + \lceil \log_2 n \rceil)$	12

(注) $\lceil \cdot \rceil$ は、小数点以下切上げを示す。

m は、縦方向のセル数

n は、横方向のセル数

w_1 は、セル数単位で表した横方向の長さ

v_1 は、セル数単位で表した縦方向の長さ

【0047】本圧縮法では、図6に示すごとく、セル内に生じるパターンを6種に分け、圧縮の行ないかたをそれぞれ異ならしめることを特徴とする。表1は、図6の各々のパターンをどのように圧縮するかを示している。なお、図6の各々のパターンを表1の第2欄に記載した呼び方で呼ぶものとする。

【0048】ここで、データの持ち方として、形状パターンに関する情報を持たないことに留意する必要がある。圧縮したデータは、格納ファイルを異ならしめる等の手段を取ることにより識別可能だからである。この点でも、データ圧縮率の向上が見込むことができる。また、格納のため要するビット数は表2の如くであるが、各々のパターンに従って最適な格納ビットのみしか必要としないため、特に圧縮すべきFBが大容量であればあるほど、メモリ圧縮の効果も大きくなる。

【0049】ここで、図7および図9を用いて、実際このように分類されたデータを圧縮する手法について説明する。図7は、FB群の分割方法(対角化)を示す図である。図8は、対角化のデータの持ち方を示す図である。図9は、FB群の分割方法(ベクトル化)とデータの持ち方を示す図である。

【0050】以下においては、簡明に圧縮を行なうため、対角化とベクトル化と呼ぶ手法で、上記6種類のパターンをカバーできることも説明する。この場合は、2種類で圧縮を行なうため、6種類毎に圧縮を行なうときと比べて、やや圧縮率は悪いものになるが、アルゴリズム(実現するためのプログラム)が簡単になるという利点がある。

【0051】対角化と称する方法は、図7に示すように、まずFBの塊(以下、「FB群」という)をいくつ

かの矩形に分割する。そして各々の矩形のFBデータを圧縮するものである。データの持ち方としては図8に示すように(x_1, y_1, x_2, y_2)とし、(x_1, y_1), (x_2, y_2)は矩形の対角座標とする。また矩形分割したとき、ライン欠け、ペアビット欠けになった場合は、先頭ビットと終点ビットを対角座標として用いる。孤立点になった場合は、(x_1, y_1) = (x_2, y_2)とする。

【0052】次にベクトル化と称する方法について述べる。この方法は、図9に示すように、FB群をいくつかのライン欠け分割し、各ライン欠けの先頭ビットの座標(x, y)とそのライン欠けを構成するFBの数 k をデータ値とする。つまり圧縮データは、(x, y, k)という形をとる。ライン欠けに分割して孤立点が生じた場合は、($x, y, 1$)としてデータを持てばよい。

【0053】次に、図5、図10ないし図13を用いてデータ圧縮のアルゴリズムを示す。最初にフィジカル変換のアルゴリズムを説明する。フィジカル変換とは、図4の論理的な座標系の情報を、メモリセルを一元的に配列した情報に置き換える事である。

【0054】図5は、フィジカル変換の概略フローを示す図である。先ず、データを読み込む(ステップ501)。次に対応する品種のLSI設計データを呼びこむ(ステップ502)。次に、前述のミラー反転パターンに構成されたメモリの設計情報を、順方向に配列しなおす(ステップ503)。

【0055】次に、図4の左下のビットからY方向に1つずつ各ビットの良、不良を記録する(ステップ504)。Y方向に1列読み終わったなら、X方向に1つずれ、同様にY方向に1つずつ各ビットの良、不良を記録

する。すべてのビットの良、不良を記録したなら処理を終了する(ステップ505)。次に、データを読み込んでから、圧縮保存、復元、表示までの全体フローについて説明する。

【0056】図10は、チップ内のFBの形状毎にいくつかの圧縮方法使い分ける方法のフローを示す図である。より詳しくは、図10は、以上に述べたようなチップ内のFBの形状毎にいくつかの圧縮方法を使い分ける方法、つまりブロック欠けの場合は対角化、縦、横ライン欠けの場合はベクトル化、縦、横ベアビット欠けの場合は、先頭ビットの座標(x, y)をデータ値とし、孤立点の場合は、ビットの座標(x, y)をデータ値とする方法のフローチャートである。

【0057】ただし、これらのフローチャートは、1つのウェハに対する圧縮および復元、表示用のものである。したがって、複数枚のウェハについて行う場合は、このフローを繰り返せば良い。

【0058】以下では、図10を用いて、チップ内の形状毎にいくつかの圧縮法を使い分けて、保存するまでの概略手順について説明する。

【0059】先ず、扱うデータの品種の認識を行う(ステップ1001)。次に、テストデータをメモリ上に8ビットずつ読み込む(ステップ1002)。そして、データに2次元座標を持たせるため、Nバイト毎にリターンコードを入れる(ステップ1003)。ただし、Nは、チップの横方向に並ぶビット数であり、リータンコードを入れる位置は品種によって違う。

【0060】次に、チップ内のFBの形状認識を行う(ステップ1004)。そして、(ステップ1004)の形状毎に、ブロック欠けは対角化、ライン欠けはベクトル化というように圧縮法を使い分ける(ステップ1005)。その後、データ圧縮を行う(ステップ1006)。次に、チップ内の全ての形状についてデータ圧縮をしたかチェックする(ステップ1007)。

【0061】チップ内の全てのデータの圧縮が済んでいなかったら、(ステップ1008)のループを繰り返す。また、圧縮が済んでいたら、1チップ分の圧縮データをハードディスクに保存する(ステップ1009)。なお、作成した圧縮データは、チップ内の各形状毎に格納領域を変えれば、形状を区別するためのパラメータをあえて圧縮データに持たせる必要はない。

【0062】次に、全チップのデータを保存したかチェックする(ステップ1010)。もし全チップについての保存が終わっていなかったら(ステップ1011)のループを繰り返す。

【0063】次に、図11を用いて、チップ単位に圧縮法を選択させて、保存するまでの概略手順について説明する。すなわち、チップ単位で形状を認識し、前述したベクトル化あるいは対角化のいずれかの最適な方法を選ぶ圧縮法である。

【0064】図11は、チップ単位に圧縮法を選択させる方法のフローを示す図である。始めに扱うデータの品種の認識を行う(ステップ1101)。次にテストデータをメモリ上に8ビットずつ読み込む(ステップ1102)。そして、データに2次元座標を持たせるため、Nバイト毎にリターンコードを入れる(ステップ1103)。ただし、Nは、チップの横方向に並ぶビット数であり、そのためリターンコードを入れる位置は品種によって違う。

【0065】次に、チップ内のFBの形状認識を行う(ステップ1104)。この際、各形状の数をカウントする。次に、(ステップ1104)の状況に応じて、圧縮法を1つ選択する(ステップ1105)。つまり、1チップの中で圧縮前のライン欠けの総容量が他の形状に比べて多い場合はベクトル化の手法を選択し、圧縮前のブロック欠けの総容量が多い場合は対角化の手法を選択するというものである。孤立点の場合は、どちらの手法を用いても保存データの形式が(x, y)と同じなので、どちらの手法を選択させても良い。本実施例においては、対角比の手法を選択させる。そして、データ圧縮を行う(ステップ1106)。

【0066】次に、1チップ分の圧縮データをハードディスクに保存する(ステップ1107)。次に、1ウェハ分のデータの保存が終わったかチェックする(ステップ1108)。もし、まだ全チップのデータ保存が済んでいなかったら(ステップ1109)のループを繰り返す。ウェハ毎に圧縮方法を選択させる方法に置き換えてても良い。次に、図12を用いて圧縮データの復元及び表示について記述する。以下のデータ処理を通して、作業者はテスターを表示装置上に示すことができ、FBの分布を解析することができるようになる。

【0067】図12は、1ウェハ分のデータの復元および表示についてのフローを示す図である。本実施例としては、特に、表示装置として、約縦480ピクセル横640ピクセルのCRTを用いた例を示す。

【0068】ハードディスクから1ウェハ分の圧縮データを呼出す(ステップ1201)。次に、高速な画面表示をするために、ピクセル変換と称する作業を行う(ステップ1202)。そして、求めた座標を表示する(ステップ1203)。

【0069】以下では、ピクセル変換について補足する。このピクセル変換は、圧縮データのみを用いて行う。CRTの解像度の関係でウェハ(1メガの記憶容量を持つチップの場合で、チップの縦が2048ピット、横が512ピット、1ウェハあたり150チップ程度)の規格によっては1メモリセルを1画素で表示できない場合がある。そこで、画像圧縮をして、ウェハ全体を表示する。この時の処理がピクセル変換である。

【0070】この処理は、縦mピット横nピットのチップのウェハ表示する場合、チップの縦を1/s、横を1

\sqrt{t} に縮小表示する。そのため、CRT上には縦sビット横tビットの領域を1画素で表示する。そこでこの領域内に1ビットでもFBが含まれている場合、この領域全体をFB領域として表示する。実処理としてブロック欠けデータ(x_1, y_1, x_2, y_2)を例にあげると、圧縮データの対角座標をそれぞれ1画素あたりのビット数kで割り、CRT上の座標($x_1/k, y_1/k, x_2/k, y_2/k$)を求めれば良い。

【0071】次に、図13を用いて、圧縮の詳細なアルゴリズムについて説明する。この方法は、上述したように、FBの各形状毎に圧縮法を分け、データ圧縮を効率的に行うものであった。すなわち、FBのパターン6種類毎に保存の仕方を変えた最も能率の良い圧縮方法である。ここでは、そのための具体的な圧縮アルゴリズムを示すこととする。

【0072】図13は、チップ内のFBの形状毎にデータ圧縮を行なう場合の詳細フローを示す図である。ここで、座標の取り方は、図3に従う。よって、原点は、図4の左下端のビットとする。この方法は、チップ内のFBの各形状毎に圧縮法を選択させ、データ圧縮を効率的に行うものであるが、ウェハ単位、チップ単位で圧縮法を選択させても良い。

【0073】先ずテストから得られたデータを読み込み、全ビットに2次元座標を持たせる(ステップ1301)。そして、変数k, p, rに初期値1を持たせ、また変数qに初期値0を持たせる(ステップ1302)。次に、原点(0, 0)から順にビットの値(0または1)を読んでいき、ビットの値が0になるまで読み続ける(ステップ1303)。読んだビットに対し、全てのビットが0であるか調べる(ステップ1304)。

【0074】もしこの条件が成立しなければ、値が1であるビットの座標をA(i, j)とし、そのA(i, j)の右隣のビットA(i+k, j)=1(ただし k=1)であるか調べる(ステップ1305)。もしこの条件が成立すれば、kの値を1更新し(ステップ1306)、A(i+k, j)の値が0になるまでこの操作を繰り返す。そして、(ステップ1305)でA(i+k, j)の値が0になったとき、k=1であるか調べ(ステップ1307)。

【0075】この条件が成立すれば、A(i, j)の真上の値A(i, j+p)=1(ただし、p=1)を調べる(ステップ1308)。もし、A(i, j+p)=1であれば、pの値を1更新し(ステップ1309)、A(i, j+p)=0になるまでこの操作を繰り返す。(ステップ1308)で、A(i, j+p)=0のとき、p=1であるか調べ(ステップ1310)、条件が成立すれば孤立点データとして、圧縮データA(i, j)を作成し(ステップ1311)。

【0076】このデータを保存(ステップ1312)する。そして、圧縮した領域のデータの値を1から0に書

き換える(ステップ1313)。(ステップ1314)でp≠2ならば、縦ライン欠けデータとして圧縮データA(i, j, p)を作成し(ステップ1315)、データを保存する(ステップ1312)。

【0077】そして、圧縮した領域のデータの値を1から0に書き換える(ステップ1313)。(ステップ1307)でk≠1ならば、A(i, j)の真上の値A(i, j+p)=1(ただし p=1)であるか調べ(ステップ1317)、条件が成立すれば、pの値を1更新し(ステップ1318)、A(i, j+p)≠1になるまでこの操作を繰り返す。A(i, j+p)≠1になったら、p=1かどうか調べ(ステップ1319)、条件が成立すればk=2か調べる(ステップ1320)。

【0078】もし条件が成立したら、横ペアビット欠けデータを作成(ステップ1311)し、圧縮データA(i, j)を作成し(ステップ1321)、データを保存する(ステップ1312)。そして、圧縮した領域のデータの値を1から0に書き換える(ステップ1313)。(ステップ1307)でk≠2ならば、横ライン欠けデータとして圧縮データA(i, j, k)を作成し(ステップ1322)、データを保存する(ステップ1312)。

【0079】そして、圧縮した領域のデータの値を1から0に書き換える(ステップ1313)。(ステップ1319)でp≠1ならば、A(i+r, j+q)=1(ただし r=1, q=0)であるか調べ(ステップ1323)、条件が成立すれば、qの値を1更新し(ステップ1324)、A(i+r, j+q)≠1になるまでこの操作を繰り返す。そして、A(i+r, j+q)≠1になったらp=qであるか調べ(ステップ1325)。

【0080】条件が成立すれば、rの値を1更新し(ステップ1326)、q=0にする(ステップ1327)。p≠qならばr=1であるか調べ(ステップ1328)、条件が成立すれば、A(i, j)=1を基準とするx, y方向の連続ビット数を比較し、長い方のライン欠けデータを作成する(ステップ1329)。このデータを保存し(ステップ1312)、圧縮した領域のデータの値を1から0に書き換える(ステップ1313)。

【0081】(ステップ1328)でr≠1ならば、ブロック欠けデータとして、圧縮データA(i, j, i+r-1, j+q-1)を作成する(ステップ1322)。そして、このデータを保存し(ステップ1312)、圧縮した領域のデータの値を1から0に書き換える(ステップ1313)。(ステップ1304)で、全てのビットの値が0であれば、1チップ分の圧縮データをハードディスクに保存し(ステップ1331)、ウェハ内の全てのデータを保存したか調べる(ステップ1333)

2)。条件が成立すれば、1ウェハ分のデータが圧縮されたことになる(ステップ1332)。

【0082】もし(ステップ1332)で条件が成立しなければ、他のチップについて上記の操作を繰り返す。なお、すべてのデータ保存の際には、それぞれ別々の記憶領域に保存するようにすることに留意する必要がある。

【0083】[IV]以下において、どのようにチップの不良が表示され、解析を進めていくのかについて説明する。作業者は、品種、ロット番号、ウェハ番号等を指定することにより、所望のウェハに関するFBデータを検索する。検索されたデータは圧縮された状態から復元され、表示装置上に示される。

【0084】表示フォーマットを図14から図27に示す。先ず、図14を用いて、本システムの画面構成を説明する。図14は、表示装置に表示されるシステムの画面の構成を示す図である。図14に示すように、本システムの解析画面は主に4つに分かれている。

【0085】メイン画面1401は、解析したい部分の表示がなされる。サブ画面1(1402)には、解析しているものについてのデータ(品種名、ロットNo.、ウェハNo.、サイズ、...)とテストの測定条件(電源電圧、動作温度、アクセス時間、...)が表示される。サブ画面2(1403)には、ウェハ内のカテゴリ(検査のためのウェハ内のチップに行なう分類)等が表示される。サブ画面3(1404)には、チップ内のマット構成等が表示される。また、サブウィンドウも必要に応じて開かれる。

【0086】さて、ここで、サブ画面1(1402)に表示されるテストの測定条件を表示することの利点について説明する。半導体の不良は、電源電圧や測定温度などテストの測定条件の規格値の設定に問題があって発生する不良と、製造プロセス上の問題により発生する不良とに大きく分けることが出来る。前者は、各測定条件の規格値内で不良が発生する場合、どのような条件になると不良数が増加したり減少したりするか、その原因を追及することが重要になる。そのため、テスト条件等をサブ画面1(1402)に表示する。

【0087】そして、条件を表示することにより、規格値内で測定したものか、規格値外で測定したものか明確になるため、解析を効率的に行なうことが出来る。例えば、規格値通りに測定した時、FBが発生したとする。そこで、FBの発生原因を調べるため、電源電圧の値だけ規格値の幅を狭くし、その違いを比較する。もし新たにFBが発生していれば、電源電圧のマージンが足りないためと考えられる。

【0088】これに反し、電源電圧の規格値を変えて新たにFBが発生していないければ、他の測定条件の値を変えて測定を行い、全ての測定で同じ結果が得られれば、このFBは、異物や外観不良等の製造プロセス上に

問題があると考えられる。

【0089】さて、以下では、図15ないし図18を用いて、実際に具体例により、不良解析を行なう場合について説明する。図15は、表示装置上に表示されるウェハ上のFBの分布表示の例を示した図である。図16は、表示装置上に表示されるチップ内のFBの分布表示の例を示した図である。図17は、表示装置上に表示されるマット内のFBの分布表示の例を示した図である。図18は、表示装置上に表示されるショット内のFBの分布表示の例を示した図である。

【0090】図15に示すように、ウェハ全体像が示され、その中に各チップ内のFBの分布を表示されている。作業者は、メニューの中からチップ表示を選び、サブ画面2(1501)の中から所望のチップをマウス等を用いて指定する。所望のチップが指定されると、図16に示すようなチップ全体像が表示される。チップ全体像には該チップ内のFBの分布を表示する。サブ画面3(1601)には、チップ内のマット構成が示してあり、作業者はメニューの中からマット表示を選び、サブ画面3(1601)からマウス等で所望のマットを指定することにより、図17に示すようなマット全体像が表示される。

【0091】また、メニュー1503の中からショット表示を選び、サブ画面1(1501)で所望のチップを選ぶと、図18に示すような指定したチップを含むショットが表示される。ここで、ショットとは、露光装置で、一度に複数のチップを露光する露光単位のことである。また、上記のごとく表示する際、図3に示すように、オリフラ側(ウェハが平らになっている下の部分)をX軸、左側をY軸、X軸とY軸の交点を原点として、ウェハ上のチップ位置を示す数字が、ウェハ表示の場合は、1504、1505をチップ表示の場合は、1602、1603をそれぞれ表示することにより、解析を行なうものにとって、表示しているウェハ内のチップの位置を判然とならしめている。

【0092】同様の観点から、マット表示の場合は、チップ内におけるマット位置を1701、1702に表示して、解析者の便に供している。

【0093】さて、次に、図19ないし図20を用いて、解析者がピット単位の詳細なFB分布を知りたいときに、拡大機能を用いる場合について説明する。図19は、表示装置上に表示されるチップ内のFBの分布を拡大表示した例を示した図である。

【0094】この拡大表示機能は、作業者が、ウェハ表示やチップ表示等の画面で、一部分拡大してみたい場合に、拡大して表示せしめる機能である。作業者が、ウェハ表示やチップ表示等の画面で、一部分拡大してみたい場合、マウスで所望の部分を指定すると、図19に示すように、拡大表示画面が新たに開かれる。

【0095】さらに拡大率を上げて表示する場合には、

画面上方にある拡大率ボタン1901をマウスで指定することにより、自由に変更することができる。画面上には、設計情報に基づく(x, y)座標(1902, 1903)が表示されるので、FBの位置を容易に確認することができる。拡大率を変更した場合には、それに合わせて座標の表示も変わる。この拡大機能は、ウェハ表示、ショット表示、チップ表示、マット表示、重ね合わせ表示、いずれの画面からでも可能である。

【0096】次に、図20を用いて、スケール機能について記述する。図20は、表示装置上に表示されるスケールを表示した例を示した図である。

【0097】作業者がスケール機能を指定すると、解析画面上に、図20に示すような物差し2001が表示される。この物差しは、縦横斜め自由に方向や位置を変更することができ、FBの分布範囲やピットサイズ、マット間隔等を確認するのに有効である。またこの物差しは、ウェハ表示、ショット表示、チップ表示、マット表示、重ね合わせ表示、拡大表示のいずれの画面でも表示することができる。物差しの目盛は、各表示画面の縮尺率に合ったものであり、解析画面を変更する度に物差しの目盛は変更される。

【0098】[v] 次に、図21および図22を用いて、重ね合わせ機能について述べる。初めに、図21を用いて、重ね合わせアルゴリズムについて述べる。図21は、重ね合わせの方法を示した概念図である。

【0099】先ず、データベースに保存してある同一ウェハ上の圧縮データを2チップ分呼出し、メモリ上で圧縮前の状態、つまり0, 1データに戻す。そして、以下の作業を行う。図21に示すように、チップA, Bの対応するセル同志の値を求める。次にデータベースより別のチップの圧縮データを呼出し、0, 1データに変換したものとCをすると、前に求めた(A+B)とCの値の和を求める。以下、順次データベースより圧縮データを呼出し、同様な処理を行う。最終的に求められたものをENDとすると、このENDの各セルの値は、重ね合わせをしたチップのうち、同じセル位置にFBが発生したチップ枚数を示している。この処理により同一ウェハ内のチップを重ね合わせた結果を得ることができる。上記の結果を画面表示させる場合は、各セルの示す値(重なり枚数)(2101)により表示色を変え、重なり状態を明確にする。

【0100】以上、同一ウェハ内のチップ重ね合わせについて述べたが、ウェハ間の重ね合わせを行う場合は、異なるウェハの同位置にあるチップのデータを順次呼出し、上記に述べた処理と同様な処理を行えば良い。これらの処理を行い、以下に述べるようなウェハ、ショット、チップ等の画面を作成している。

【0101】さて、図22を用いて、ウェハ内ショット単位重ね合わせという解析機能について説明する。図22は、出力装置に表示されるショット単位にFBの分布

を重ねあわせて表示した例を示す図である。

【0102】前述した如く露光装置では、一度に複数のチップを露光する。その露光単位をショットと呼ぶのであった。ここでは、一度に2チップ露光した場合について説明する。露光に用いるフォトマスク上に欠陥や異物が存在すると、ショット内の同じ位置に繰返しFBが現れる。作業者はウェハ全体像を見ながらショット単位重ね合わせ機能を指定すると、そのウェハ内のショット2201毎にFBの分布を重ねあわせて表示するショット重ねあわせウインドウを開く。そのウインドウ内ではチップ外形と各チップ内のFBの分布状況が表示されている。

【0103】また、FBの分布を示す際、同じ個所に存在するFBの数jに応じて、色やメッシュを分けて表示する。表示方法はショット総数iに対して、j/iを計算し、その値を例えば3分して各範囲毎に色やメッシュ等をかえる(2202, 2203, 2204)。

【0104】このようにすれば、j/iが大きい個所は、ショット毎に繰返しFBが発生していることが判るため、マスク上の該当個所を調べることにより、フォトマスク上に欠陥や異物の発見できる蓋然性が高まり、より適切結果を得ることができる。

【0105】次に、図23を用いて、チップ単位重ね合わせという解析機能について説明する。図23は、出力装置に表示されるチップ単位にFBの分布を重ねあわせて表示した例を示す図である。

【0106】回路パターンの設計に誤りまたはマージン不足等不備があると、チップ内の同じ個所に繰返しFBが発生する。作業者はウェハ全体像を見ながらチップ単位重ね合わせ機能を指定すると、そのウェハ内のチップ2301毎にFBの分布状況を表示する。そして、FBの分布を示す際、ショット単位重ね合わせと同じ表示方法を用いる。ただし、ショット総数iはここではチップ総数となる。ここでj/iの値が大きい場合、該当個所で設計上の不備があると考えられ、設計を見直すことにより、回路パターンの設計に誤りまたはマージン不足等不備等の不良要因をより適切に発見しうる。

【0107】次に、図24を用いて、ウェハ単位重ね合わせという解析機能について説明する。図24は、出力装置に表示されるウェハ単位にFBの分布を重ねあわせて表示した例を示す図である。

【0108】例えば、成膜装置に不具合があり膜質あるいは膜厚の異常があると、FBのウェハ面内分布に片寄り2401ができる。こうしたFBの片寄りは、複数のウェハ上のFBの分布を重ね合わせることによって、顕在化することが出来る。本発明においては作業者は、所望するウェハ(複数)の品名、ロット番号、ウェハ番号を指定することで前述のウェハ全体表示用ウインドウを用いてウェハ単位重ね合わせを行うことが出来る。FBの重ね合わせによって、例えば膜質あるいは膜厚の異常が

見つかった場合、成膜装置を点検し、また、成膜後膜厚あるいは膜質検査を行っている場合は、検査装置自身あるいは管理規格をチェックすることにより、不良要因をより適切に発見しうる。

【0109】[VI] 次に、図25を用いて、グルーピングと呼ばれる手法について述べる。図25は、グルーピングの手順を示したフローを示す図である。

【0110】本発明に係るデータ圧縮法は、データ圧縮を効率的に行うためにFB群を分割したが、この分割した1つ1つが同じFB群であったことを認識させるため手法である。これにより、テストデータと他の測定データ、例えば異物データとの突合せ解析を行う際、1つの異物による影響で、FBがどの程度発生するかが明確になる。この処理は、圧縮データを作成し、圧縮データをデータベースに保存する前に行なっても良いし、実際に突合せ解析や観察装置にデータを転送する際に行なっても良い。

【0111】先ず、保存しておいた圧縮データを順次呼び出す。次に、 $G_{max} = 1$ を初期値として設定する(ステップ2501)。そしてフラグの値が $F_A = 0$ であるか調べる(ステップ2502)。もし $F_A = 0$ ならば、データAの右側に接するデータBがあるか調べる(ステップ2503)。

【0112】接するデータBがあれば、BのグループNoである G_B の値が0かどうか調べる(ステップ2504)。 $G_B = 0$ ならば、AのグループNoである G_A と G_B に G_{max} の値を代入する(ステップ2505)。次に、Aの上側に接するデータCがあるかどうか調べる(ステップ2506)。もしあれば、CのグループNoである G_C の値が0かどうか調べる(ステップ2507)。

【0113】 $G_C = 0$ ならば、 G_C に G_{max} の値を代入する(ステップ2508)。そして G_{max} の値を1更新する(ステップ2509)。最後に、 F_A の値を0から1に変換する(ステップ2510)。(ステップ2506)で、Aの上側に接するデータCがなければ、 G_{max} の値を1更新する(ステップ2509)。

【0114】そして、 F_A の値を0から1に変換する(ステップ2510)。(ステップ2507)で $G_C \neq 0$ ならば、 G_A と G_B に G_C の値を代入する(ステップ2511)。そして、 F_A の値を0から1に変換する(ステップ2510)。また、(ステップ2504)で $G_B \neq 0$ ならば、 G_B に G_B の値を代入する(ステップ2512)。

【0115】次に、Aの上側に接するデータCがあるか調べる(ステップ2513)。もしあれば、 G_C が0かどうか調べる(ステップ2514)。 $G_C = 0$ ならば、 G_C に G_B の値を代入する(ステップ2515)。そして、 F_A の値を0から1に変換する(ステップ2510)。(ステップ2514)で $G_C \neq 0$ ならば、 $G_B \leq G_C$ を調べる(ステップ2516)。

【0116】この不等式が成立すれば、 G_C に G_B の値を代入する(ステップ2515)。そして、 F_A の値を0から1に変換する(ステップ2510)。(ステップ2516)で $G_B > G_C$ ならば、 G_A と G_B に G_C 値を代入する(ステップ2517)。そして、 F_A の値を0から1に変換する(ステップ2510)。(ステップ2503)で、Aの右側に接するデータBがなければ、Aの上側に接するデータCがあるか調べる(ステップ2518)。

【0117】もし接するデータCがあれば、 G_C の値が0かどうか調べる(ステップ2519)。 $G_C = 0$ ならば、 G_A と G_C に G_{max} の値を代入する(ステップ2520)。そして、 G_{max} の値を1更新し(ステップ2509)、 F_A の値を0から1に変換する(ステップ2510)。(ステップ2519)で $G_C \neq 0$ ならば、 G_A に G_C の値を代入する(ステップ2521)。

【0118】そして、 F_A の値を0から1に変換する(ステップ2510)。(ステップ2518)でAの上側に接するデータCがなければ、 G_A に G_{max} の値を代入する(ステップ2522)。そして G_{max} の値を1更新し(ステップ2509)、 F_A の値を0から1に変換する(ステップ2510)。(ステップ2502)で $F_A \neq 0$ ならば、全データのフラグの値が1になるまでデータを読みつづける。もし、全データのフラグが1ならば(ステップ2523)操作をやめる。

【0119】[VII] 次に、図26および図27を用いて、FBの形状分布から、その不良原因を推定する機能について説明する。図26は、出力装置に表示されるFBの分布形状の表示例(その1)を示す図である。図27は、出力装置に表示されるFBの分布形状の表示例(その2)を示す図である。

【0120】不良原因データベースには専門家の知識や過去の解析結果に基づく情報が入っている。解析者がまず不良原因推定機能を指定し、所望のFBまたはFB群を指定して、データベースの検索を行なうとFBを引き起こした原因と考えられる項目が表示される。例えば、図26(A)の様に、チップ内の1つのメモリセルのみがFBの場合、そのセルを指定して、データベースの検索をすると、メモリセル上に異物付着という表示がされる。またここで表示される不良原因は、常に1項目とは限らず、図27の様な場合は、複数項目表示されることもある。図27では、ライン欠け交差部分(A)に異物付着、周辺回路(B)及び(C)がショートまたは断線になっていることを示している。この不良項目は、過去の解析結果より優先順位をつけて表示することもできる。この結果から、不良原因、不良工程等が明らかな場合は、その結果を関係部署にフィードバックする。

【0121】[VIII] 次に、図28を用いて、電子顕微鏡(以下、「SEM」と略す)等を用いた観察系の機能について説明する。図28は、チップ内の座標基準点を示す図である。

【0122】FBデータの解析やFBデータと異物検査データ／外観検査データの突き合わせ解析等の結果をもとに代表点を抽出する。そして、その代表点の座標を算出し、座標のデータをSEM等に付属するデータ処理装置に送る。この時、各検査装置（テスタ、異物検査装置、外観検査装置、SEM、レーザ顕微鏡等）によってチップ内の座標系が異なっているため、単純なデータ転送やデータ突合せを行ったのでは誤差が生じてしまう。つまり、チップ内には、図4に示すようなチップ内の座標を決めるための基準パターン401があり、そのパターン内の何処を基準点にするかは各装置によって異なっている。そのため各装置の座標基準点の座標と各装置間の相対誤差を予め設計情報より算出しておき、その情報をデータベースに登録しておく。そして、データの転送や他データとの突合せ解析を行う際、座標系間の誤差分を補正して、座標算出を行う。

【0123】例えば、図1において解析者がFB解析システム105で解析を行った後、あるメモリセルの座標を観察装置109であるSEMに転送し観察する場合、以下の処理を行った後、データ転送を行う。先ず、FBデータを論理座標から実体座標に変換する。更にSEMとの誤差を補正する。つまり、図28に示すように、テスタにおけるFBの実体座標を(x, y) (2801)、補正值を(a, b) (2802)とすると、SEM座標系におけるFB座標(X, Y) (2803)は、以下の式により与えられる。

【0124】

【数1】(X, Y) = (x, y) + (a, b)

【0125】したがって、(x + a, y + b)の値を転送することになる。他データとの突合せを行う際も同様な方法で座標変換を行えば良い。SEM等では得られた座標データに基づいて、ウェハまたはチップ上の該当位置を観察する。そして、観察により、代表点及びその周辺に異物や傷があるかどうか判明する。このように、各装置に対する補正を統一的に行なえるのがLSI設計情報107をシステムの構成要件とした利点であった。

【0126】観察に際して、半導体装置は層構造をなしているので、上部何層かを必要に応じて剥がす必要がある。さらに、観察の結果異物や傷等の異常が確認出来ない場合は、観察している層を剥がし、その下層を観察する。なお、剥がす手段はエッチングと呼ばれる公知の手法があり、本発明でもエッチングを用いることで不都合なく行える。また、観察画像はデータ処理装置を介して、適当な記憶媒体、例えばハードディスク、光ディスク等に保存する。保存に際しては、少なくとも記憶媒体内では唯一に定まる識別子を観察画像データに付与する。なお代表点の算出はデータ処理装置で行なっても良い。

【0127】さらに、観察装置はSEMに限らず、観察に適当な倍率を得られる装置であればなんでも良い。S

10

EM等で観察した際、異物や不純物の混入が見られたならば、その成分を分析する。分析自体はSEM等の装置内で行なっても良いし、別装置で行なっても良い。別装置で行なう場合には、座標データをネットワークを介して送信したり、携帯可能な記憶媒体に記録して渡せる様にする。分析装置としてはエネルギー分散型X線スペクトロスコープ（図1においては、「EDX」と略して表示している）、レーザスペクトロスコープ（図1においては、「レーザマス」と略して表示している）、赤外吸収分光スペクトロスコープ（図1においては、「赤外分光」と略して表示している）等がある。

【0128】[IX] 次に、図29を用いて、ウェハの検査履歴を管理する機能と次に検査を行う工程及び検査内容等を指示する機能とロット番号やウェハ番号を入力することにより、該当する対象の過去の検査内容を取得する機能について説明する。図29は、ICカードと計算機システムを用いてウェハの検査履歴を管理し、検査工程および検査内容を指示するシステムの概念図である。

【0129】先ず、異物検査や外観検査等を行なう場合、検査の際、検査工程、検査条件、検査内容、検査結果などを携帯可能で表示機能を備えた記憶媒体（例えば、表示機能付きICカード292）に入力する。その記憶媒体は検査したロットに付随させて運搬すれば作業上も便利である。このようにすれば、ICカード上の表示によりあるいは計算機システム295の出力装置294によりロットやウェハの検査履歴が容易に取得できるようになる。あるいは、これを検査履歴データベース297に蓄えることにより、計算機システム295のキーボード296からロット番号やウェハ番号を入力することにより、出力装置294から該当する対象の過去の検査内容を知ることができる。また、計算機システムの検査工程および検査内容指示プログラムを用いて、この記憶媒体に記憶されたデータにより、以後の工程で行なう検査の内容、検査自体を行なうかどうか等を決定することができ、この自動化により検査のためのプランニングが省略できて作業能率の向上となる。

【0130】例えば、成膜工程で異物検査を行い、異物があらかじめ決められた基準より多く検出された場合に限り、その直後のフォトリソグラフィ工程完了後に外観検査を行うという運用が可能となる。このように運用することで、異物付着によりパターン形成に影響が出たかどうか解析することが可能となる。また、異常に多く異物が付着したロット又はウェハのみ外観検査を行なえば良いので、異物検査の検査速度より、外観検査の検査速度が遅い場合、外観検査をすべきロット、工程を判断することが可能になる。

【0131】[X] 次に、FBデータと異物検査データ／外観検査データの突合せ解析という機能について説明する。

【0132】先ず、作業者は、FBデータと異物検査デ

50

ータ／外観検査データの突き合わせ解析の機能を指定し、解析するロット／ウェハの品種名、ウェハサイズ、ロットNo、ウェハNo、測定日等の条件を入力し、データベースを検索することにより、所望のデータを呼び出し、異物や傷のついた位置座標とFBとなつたセル位置座標を比較することにより、異物や傷の影響でどの程度FBが発生しているかが明らかになる。それにより不良原因、不良発生工程の絞り込みができる。さらに、詳細な解析を行う場合は、観察装置や分析装置に所望の座標を転送すれば良い。この突き合わせ解析においては、以前述べたように各検査装置によって座標系が異なるので、座標系の統一を行つた後、座標比較を行う。

【0133】

【発明の効果】本発明によれば、不良原因の早期究明ができる、集中的に発生する不良が防止され、製品歩留の向上が図れるようになる。

【図面の簡単な説明】

【図1】本発明に係る不良解析システムの基本概念図である。

【図2】FB解析システムの詳細構成を示す概念図である。

【図3】ウェハ上に配列されたチップの概略示す図である。

【図4】チップ内の構成を示す図である。

【図5】フィジカル変換の概略フローを示す図である。

【図6】チップ内のFBの各種パターンを示す図である。

【図7】FB群の分割方法（対角化）を示す図である。

【図8】対角化のデータの持ち方を示す図である。

【図9】FB群の分割方法（ベクトル化）とデータの持ち方を示す図である。

【図10】チップ内のFBの形状毎にいくつかの圧縮方法を使いわける方法のフローを示す図である。

【図11】チップ単位に圧縮方法を選択させる方法のフローを示す図である。

【図12】1ウェハ分のデータの復元および表示についてのフローを示す図である。

【図13】チップ内のFBの形状毎にデータ圧縮を行なう場合の詳細フローを示す図である。

【図14】表示装置に表示されるシステムの画面の構成を示す図である。

【図15】表示装置に表示されるウェハ上のFBの分布表示の例を示す図である。

【図16】表示装置に表示されるチップ内のFBの分布

表示の例を示す図である。

【図17】表示装置に表示されるマット内のFBの分布表示の例を示す図である。

【図18】表示装置に表示されるショット内のFBの分布表示の例を示す図である。

【図19】表示装置に表示されるチップ内のFBの分布を拡大表示した例を示す図である。

【図20】表示装置に表示されるスケールを表示した例を示す図である。

10 【図21】重ね合わせの方法を示す概念図である。

【図22】表示装置に表示されるショット単位にFBの分布を重ねあわせて表示した例を示す図である。

【図23】表示装置に表示されるチップ単位にFBの分布を重ねあわせて表示した例を示す図である。

【図24】表示装置に表示されるウェハ単位にFBの分布を重ねあわせて表示した例を示す図である。

【図25】グルーピング手順を示すフローを示す図である。

20 【図26】表示装置に表示されるFBの分布形状の表示例（その1）を示す図である。

【図27】表示装置に表示されるFBの分布形状の表示例（その2）を示す図である。

【図28】チップ内の座標基準点を示す図である。

【図29】ICカードと計算機システムを用いてウェハの検査歴を管理し、検査工程および検査内容を指示するシステムの概念図である。

【符号の説明】

101～110…本発明の構成ブロック

201～212…FB解析システムの主な構成ブロック

30 401～408…チップの主な構成

501～505…フィジカル変換の処理ステップ

1001～1011…FBの分布形状毎に圧縮法を選択する手法におけるデータの圧縮の処理ステップ

1101～1109…チップ毎に圧縮法を選択する手法におけるデータの圧縮の処理ステップ

1201～1203…データ復元表示の処理ステップ

1301～1325…データ圧縮方法（詳細）の処理ステップ

1401～2001…表示装置に表示する内容

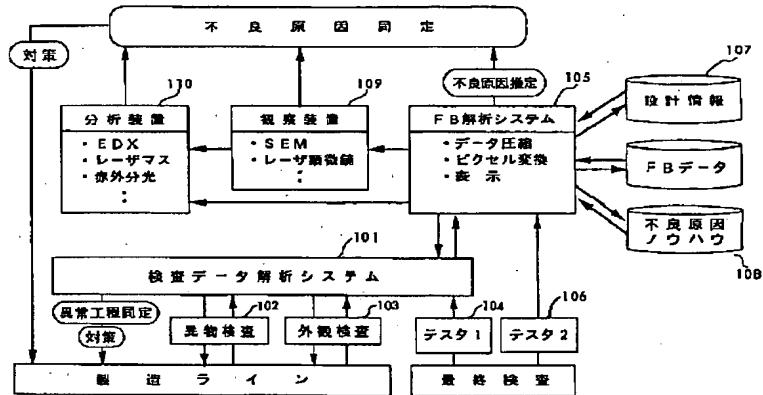
40 2101…チップの重なり枚数

2201～2401…表示装置に表示する内容

2501～2523…グルーピング処理ステップ

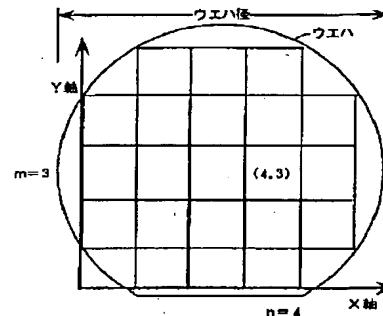
2801～2803…チップ内の座標基準点

〔図1〕

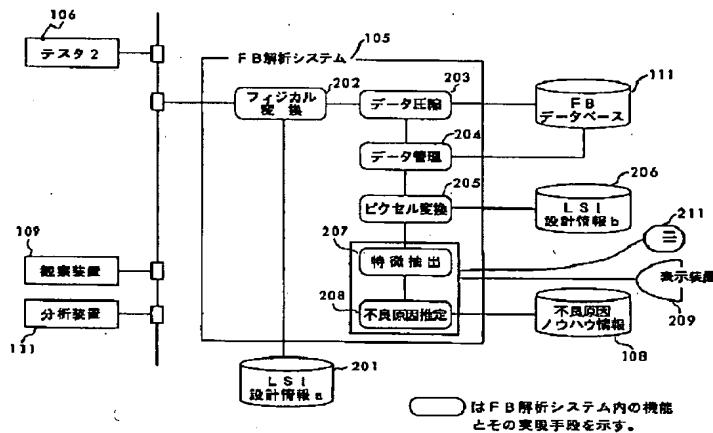


[図3]

图 3

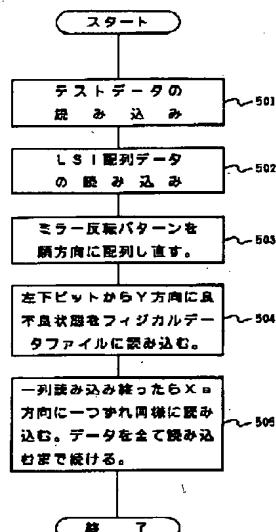


【図2】



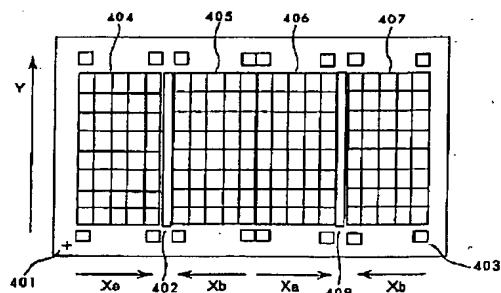
[図5]

图 5



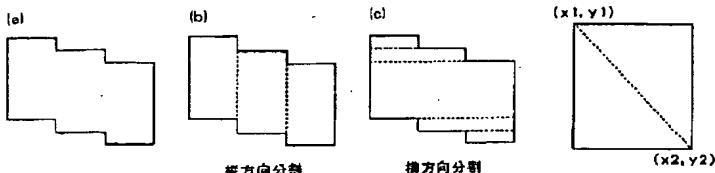
[図4]

4



〔図7〕

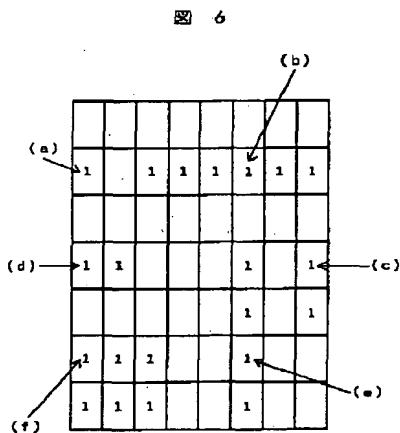
7



〔四八〕

8

【図6】



【図10】

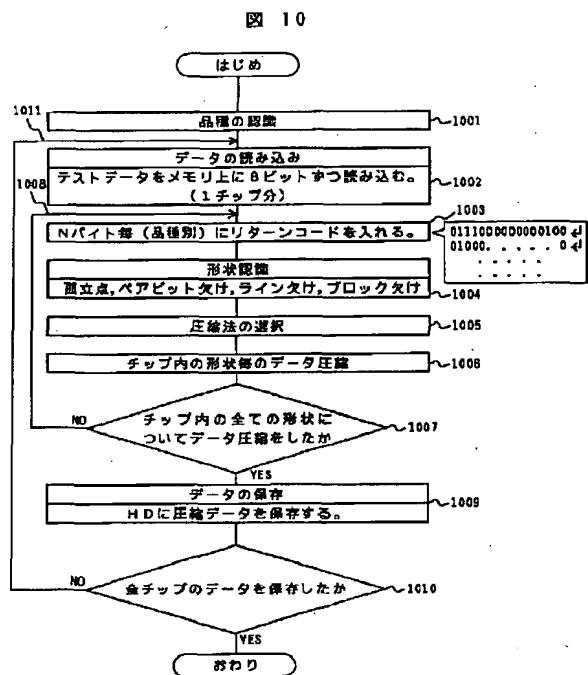
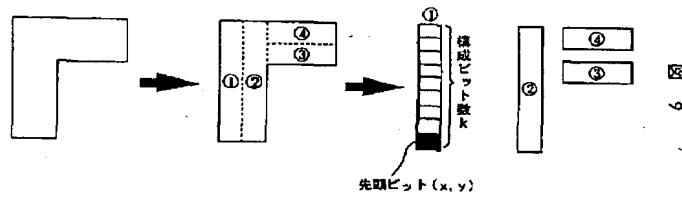
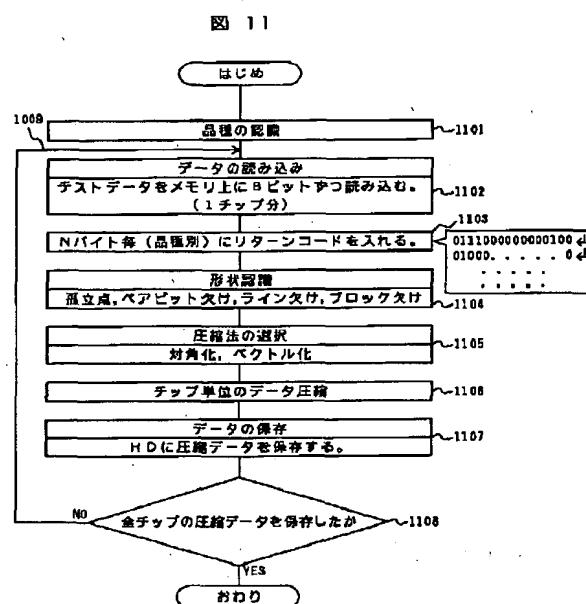


図 10

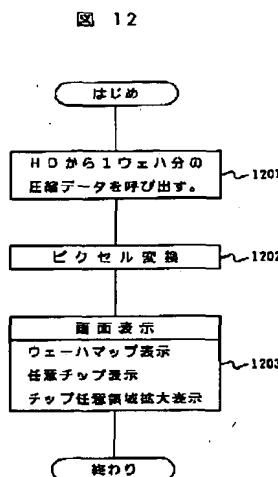
【図9】



【図11】

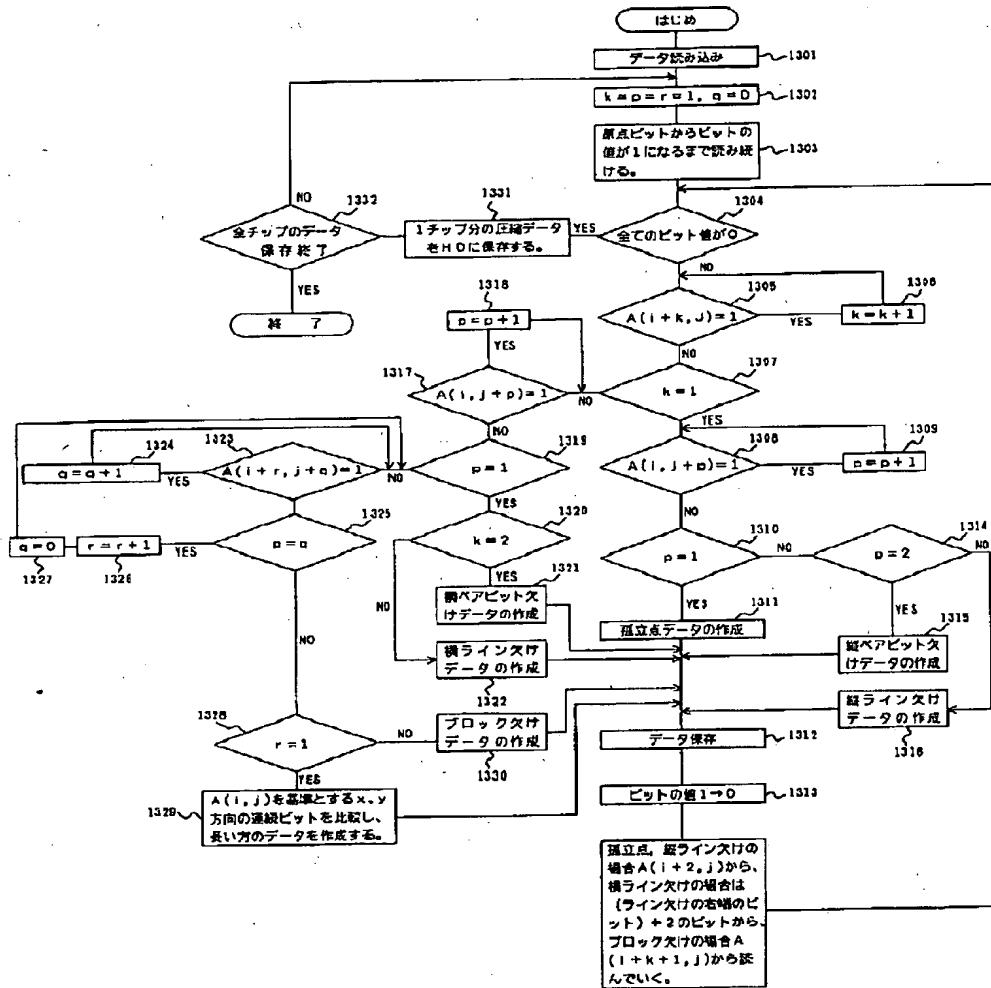


【図12】

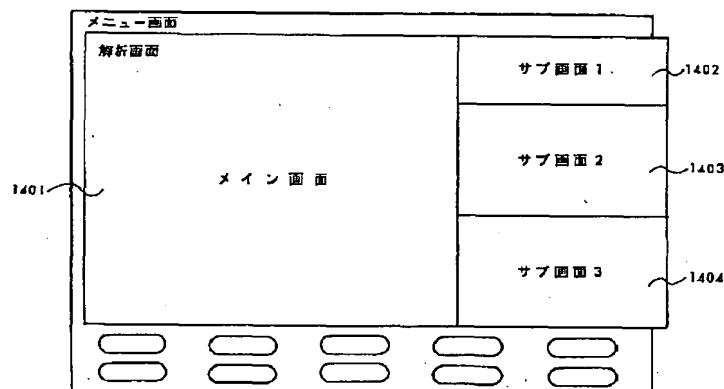


【図13】

図 13



【図14】



【図21】

図 21

Diagram illustrating matrix operations:

- Matrix A:**

0	1	0
0	0	1
1	1	1
0	0	0
- Matrix B:**

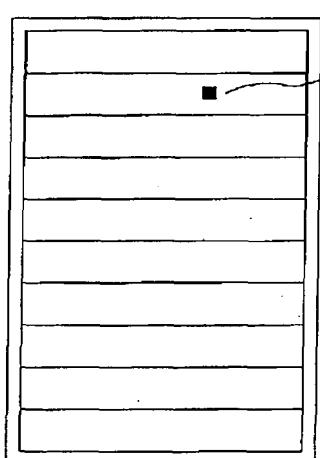
1	1	1
0	0	0
0	1	0
0	0	1
- Matrix A+B:**

1	2	1
0	0	1
1	2	1
0	0	1
- Matrix END:**

n	k	0
0	n	p
k	q	n
1	0	1

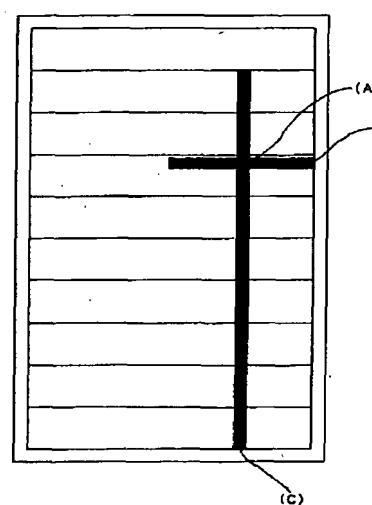
【図26】

図 26



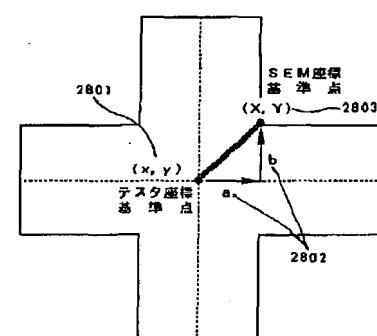
【図27】

図 27



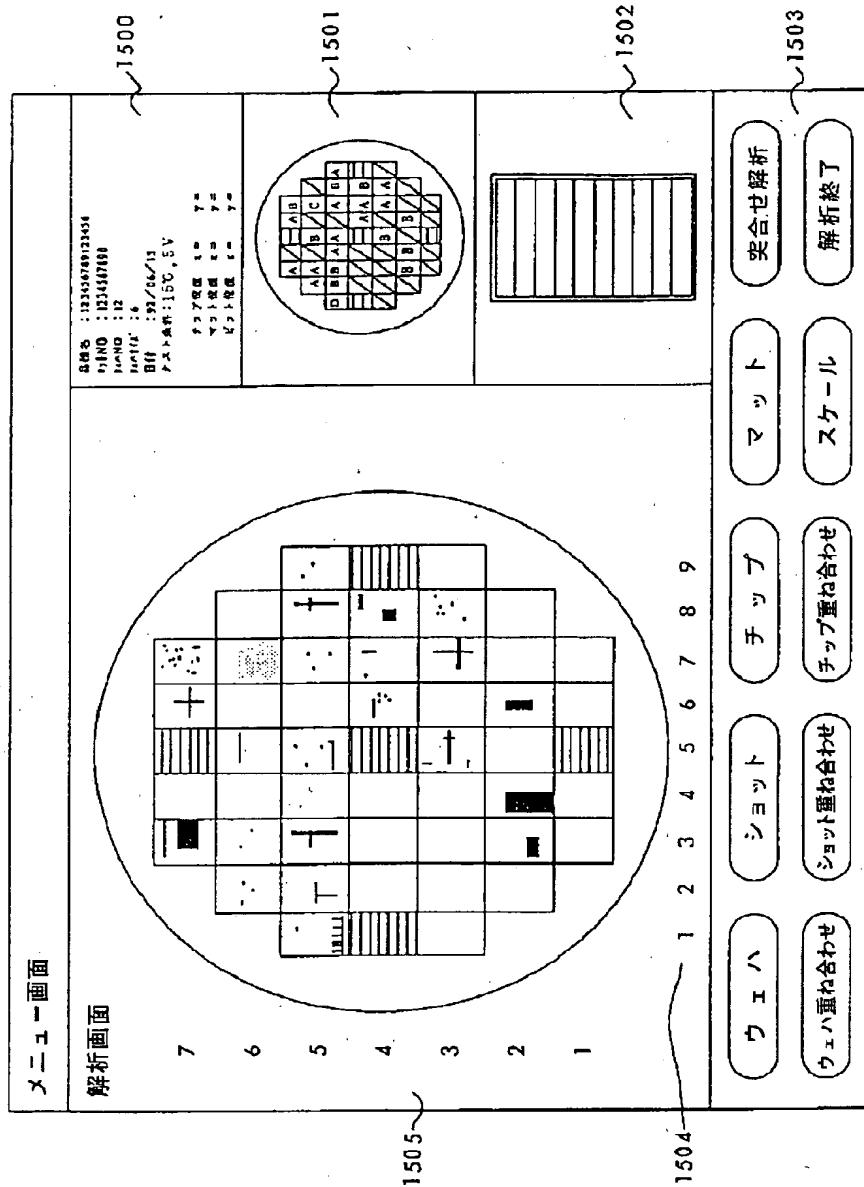
【図28】

図 28



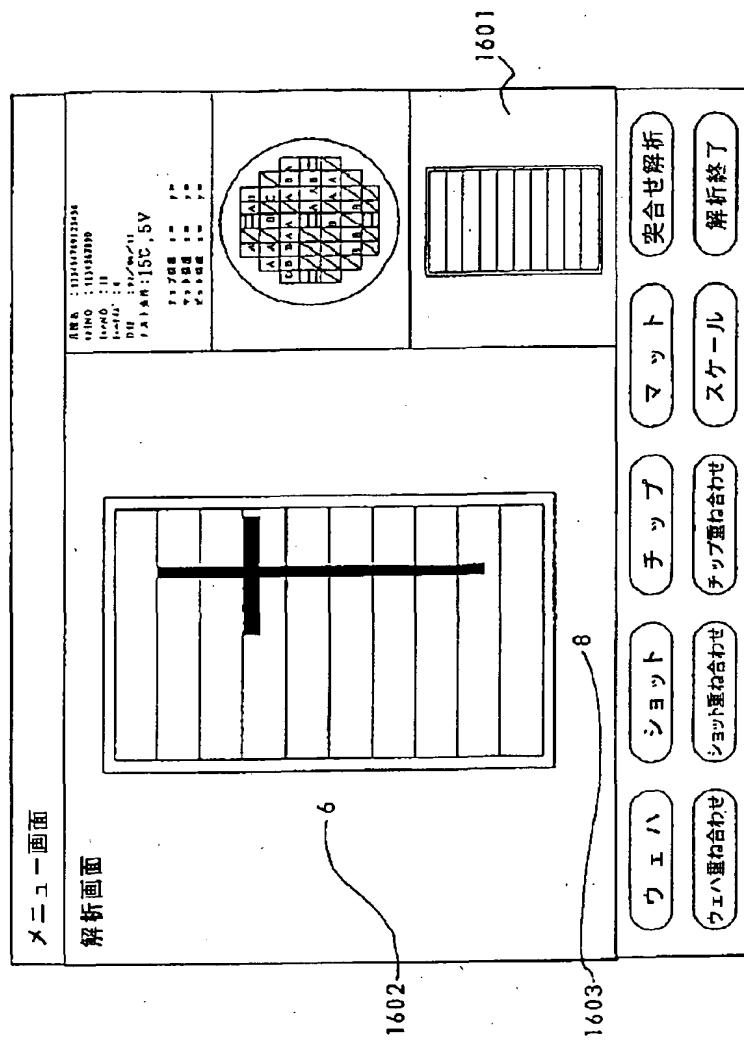
【図15】

图 15



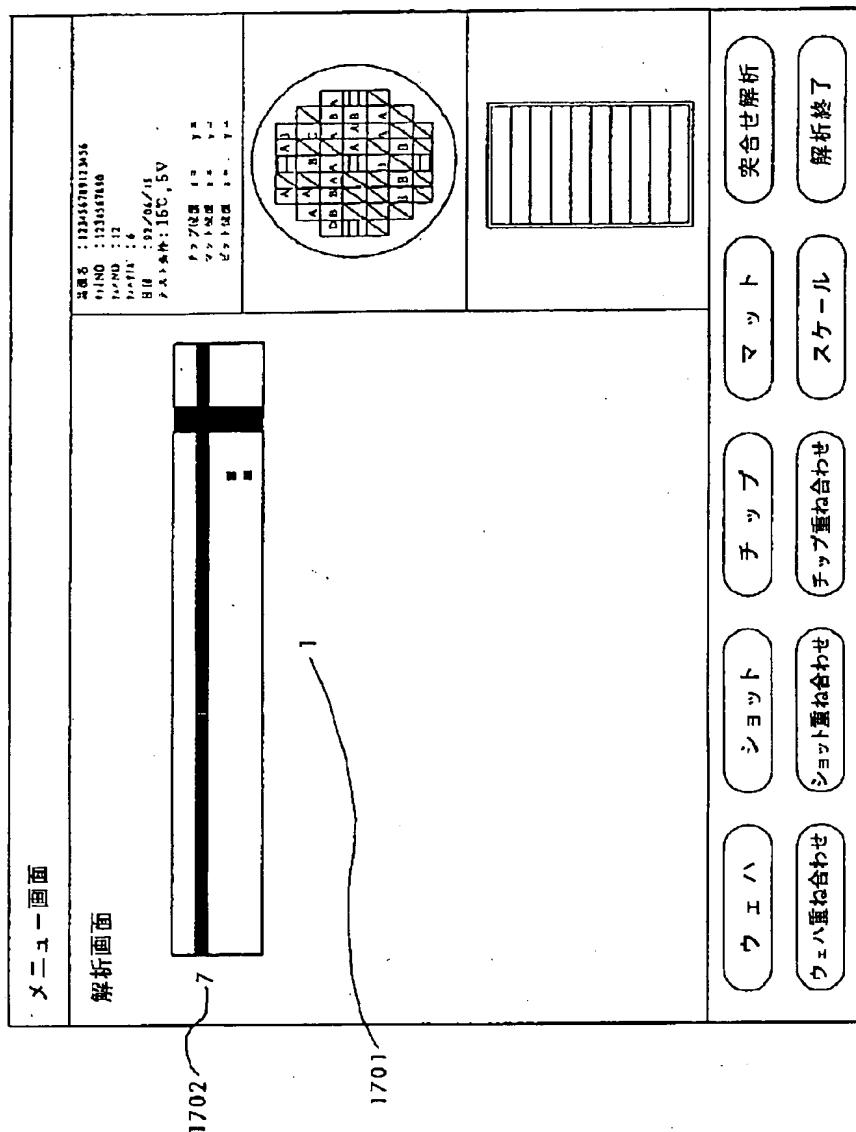
【図16】

図 16



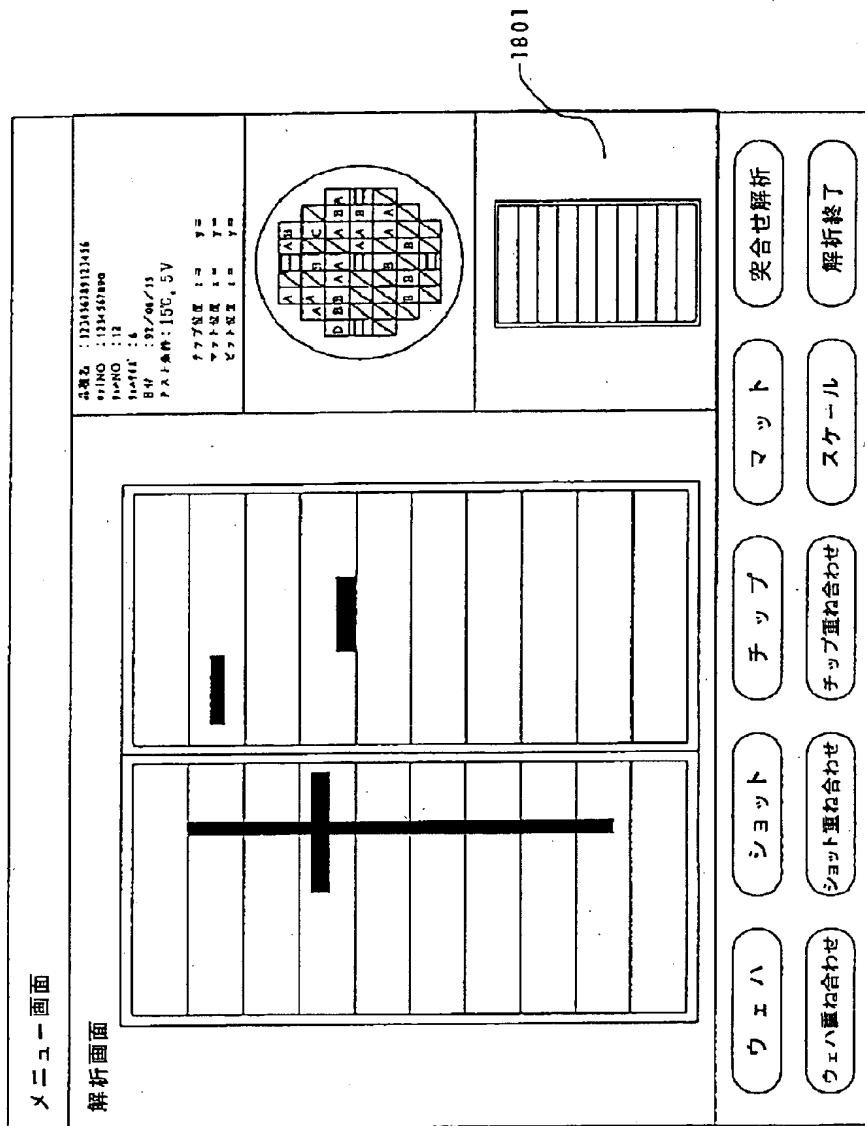
【図17】

図 17



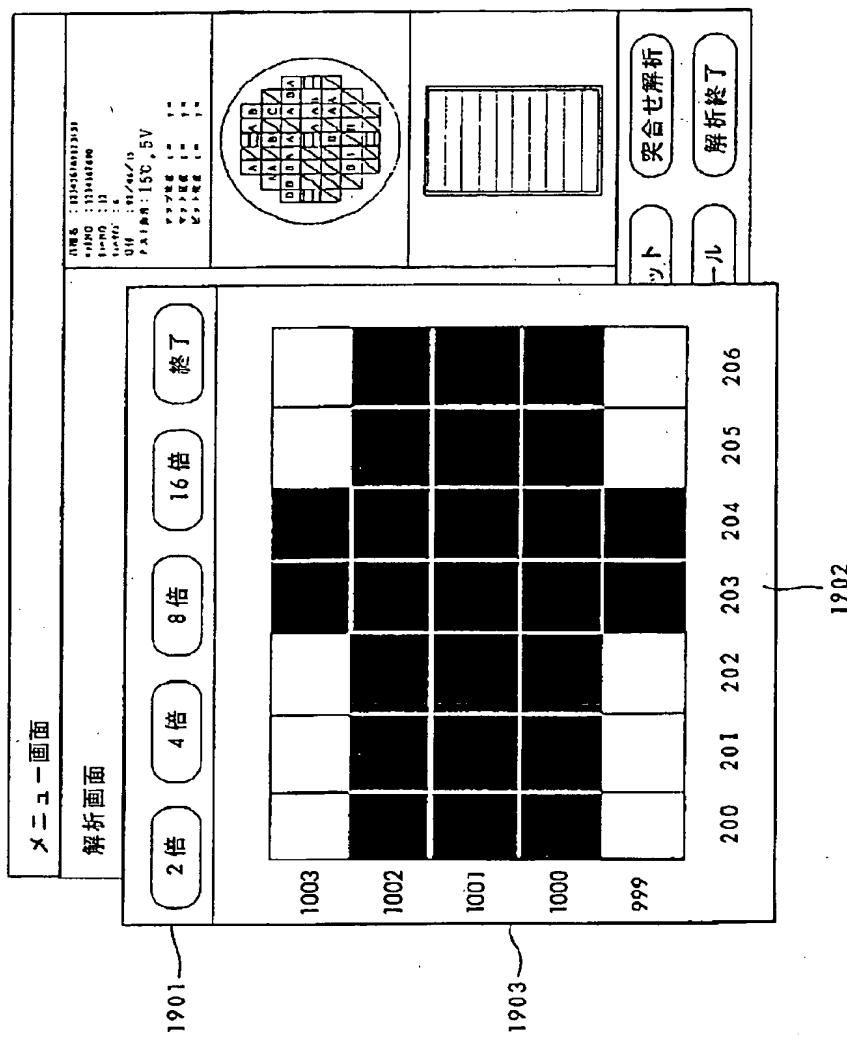
【図18】

図 18



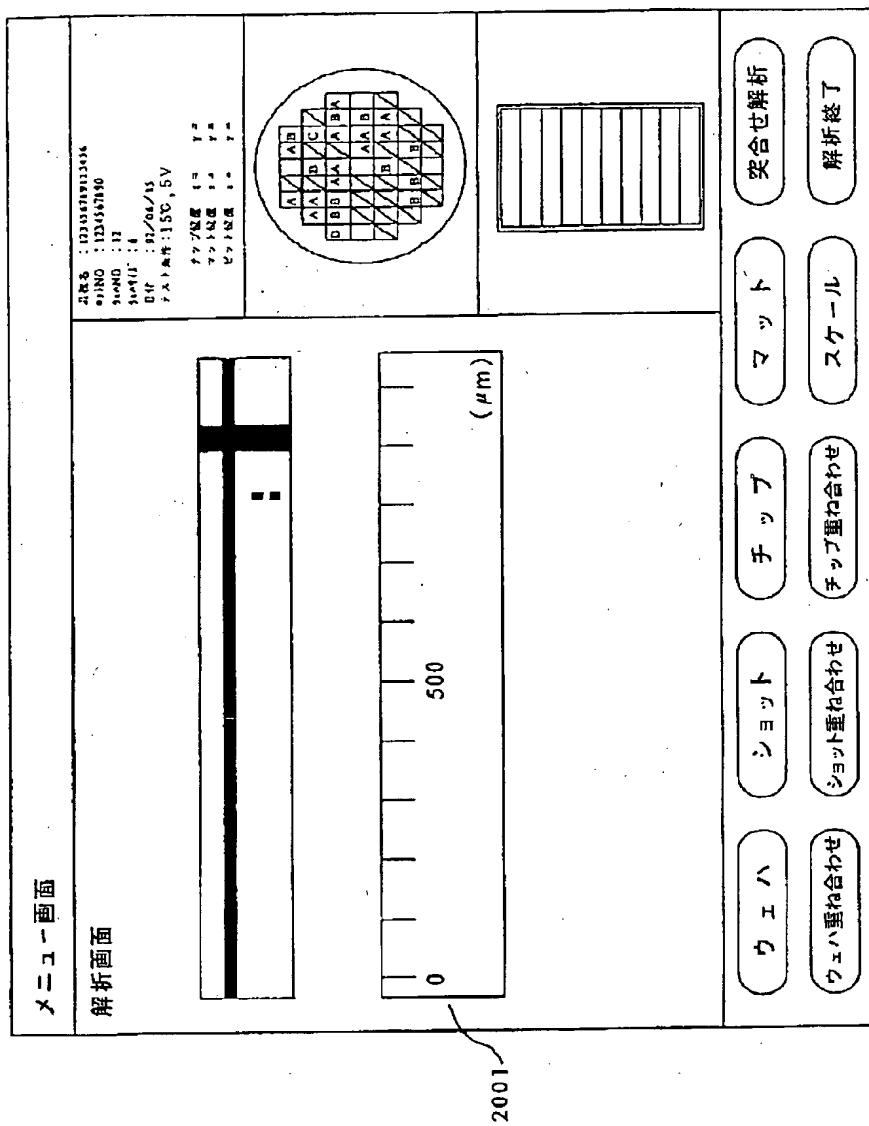
[図19]

四 19



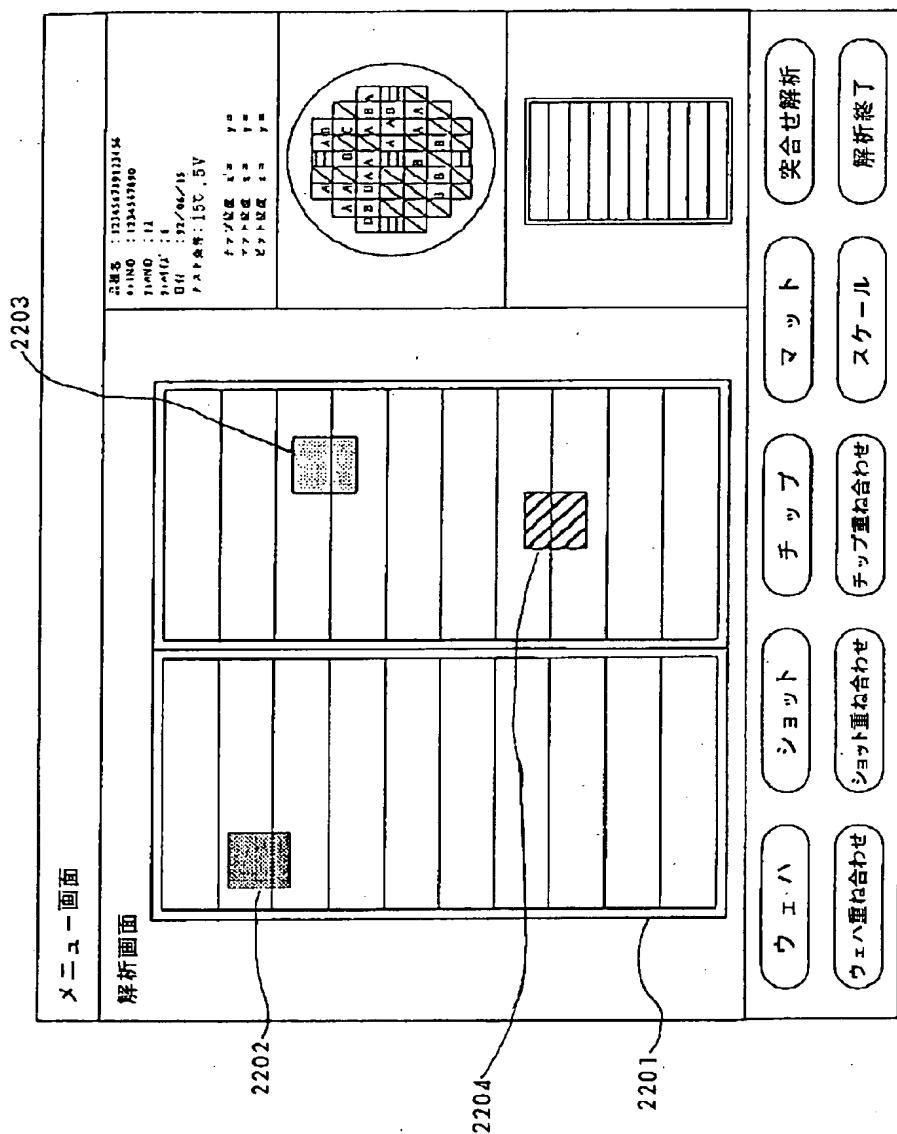
【図20】

20



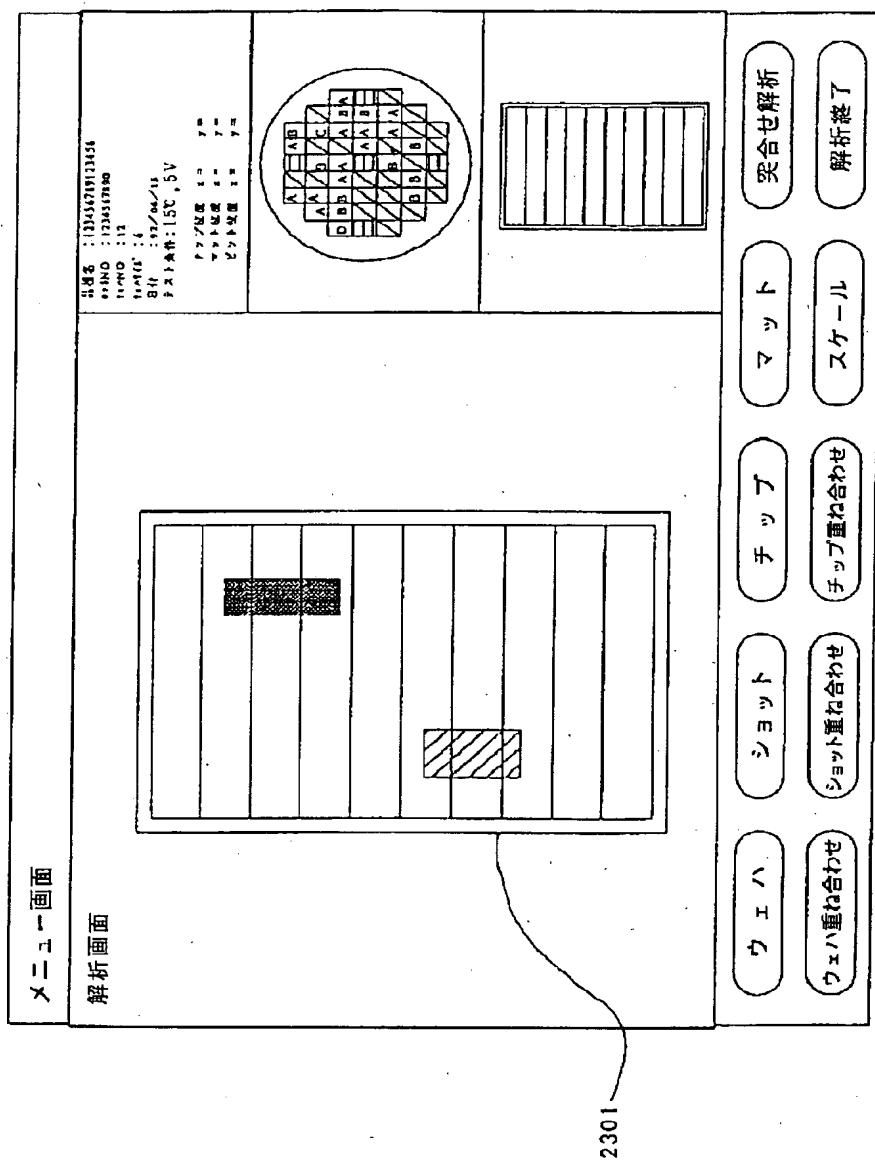
[図22]

四 22



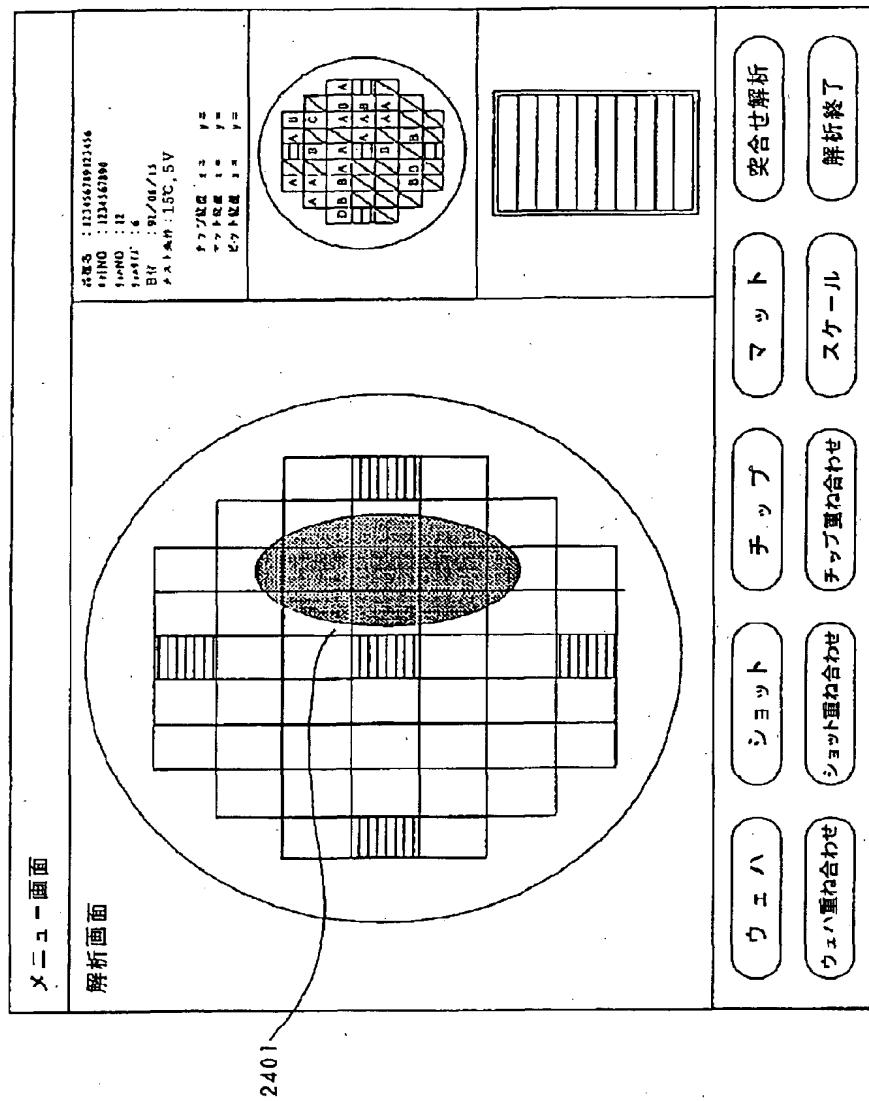
【図23】

図 23



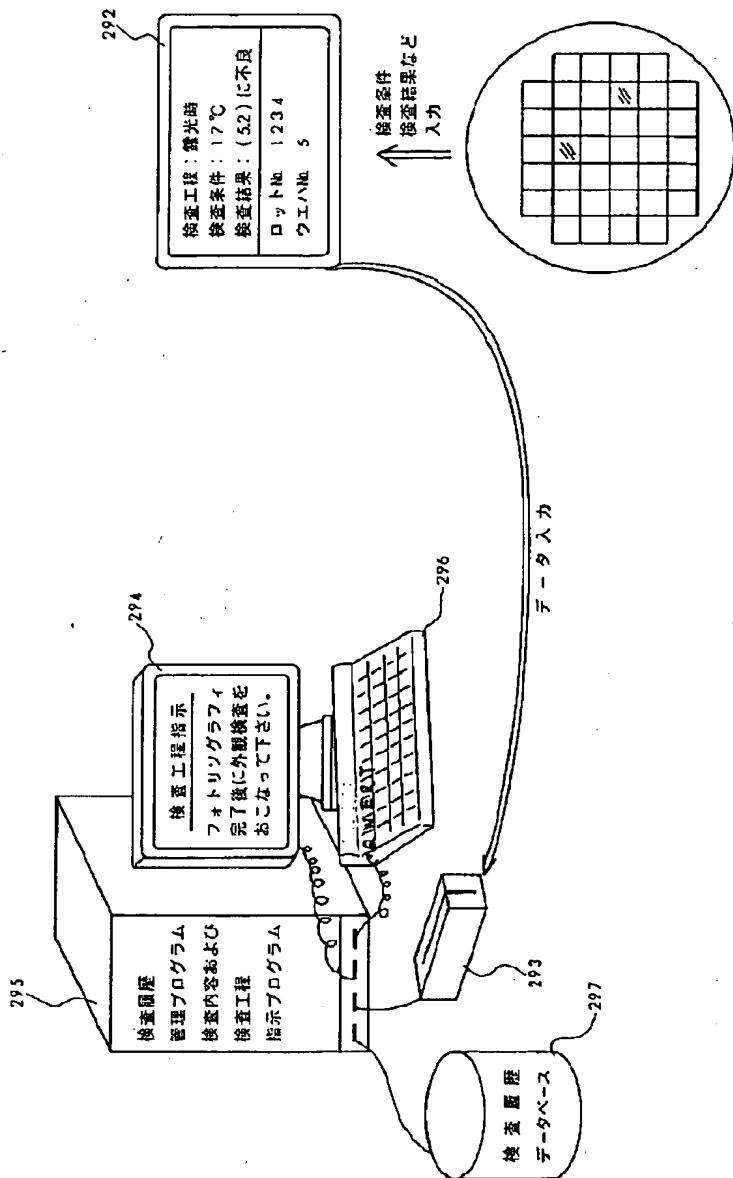
【図24】

四 24



[図29]

図 29



フロントページの続き

(72)発明者 下社 貞夫

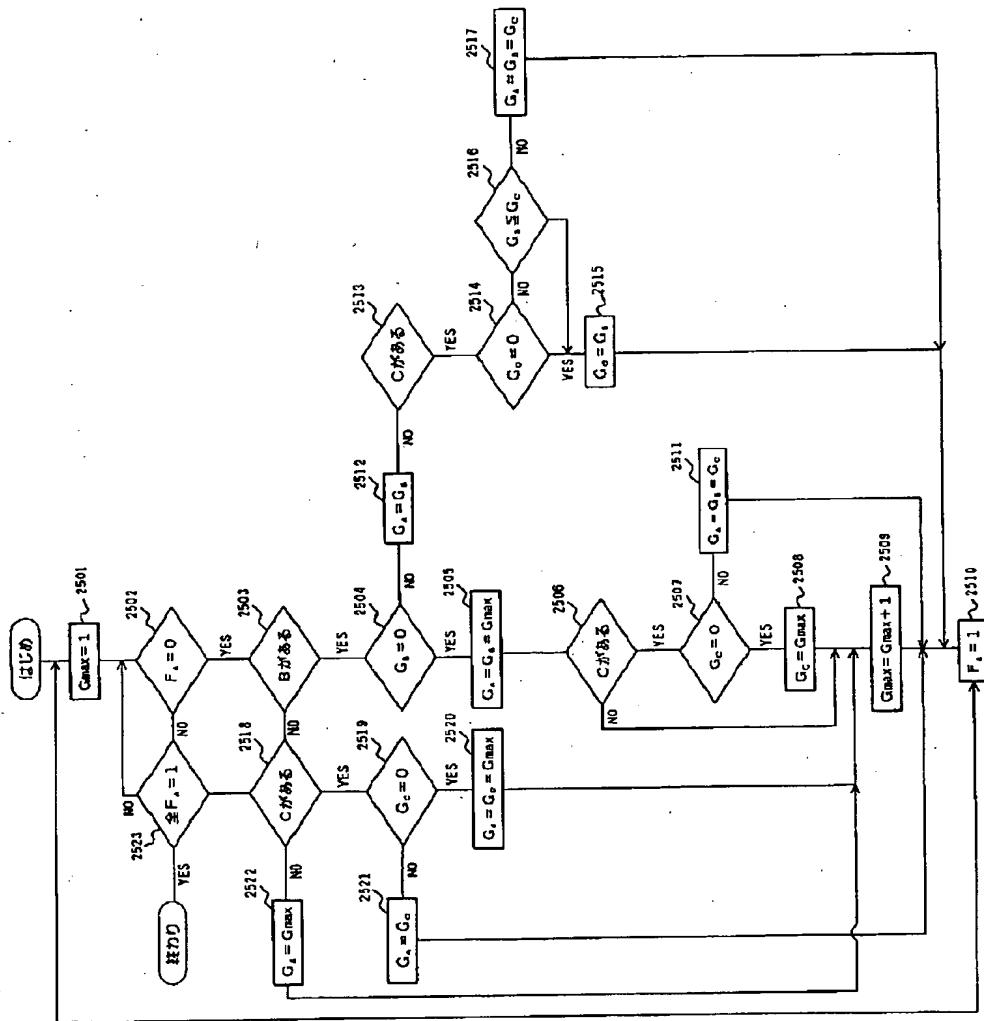
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 中里 純

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

【図25】

図 25



(72)発明者 松岡 一彦
群馬県高崎市西横手町111番地 株式会社
日立製作所高崎工場内

(72)発明者 宮本 佳幸
群馬県高崎市西横手町111番地 株式会社
日立製作所高崎工場内

(72)発明者 鳴島 正親
群馬県高崎市西横手町111番地 株式会社
日立製作所高崎工場内

(72)発明者 宮崎 功
群馬県高崎市西横手町111番地 株式会社
日立製作所高崎工場内

(72)発明者 執行 義春
群馬県高崎市西横手町111番地 株式会社
日立製作所高崎工場内

(72)発明者 佐藤 正幸
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体設計開発センタ内

(72)発明者 大嶋 孝幸
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体設計開発センタ内

(72)発明者 橋本 泰造
群馬県高崎市西横手町111番地 株式会社
日立製作所高崎工場内